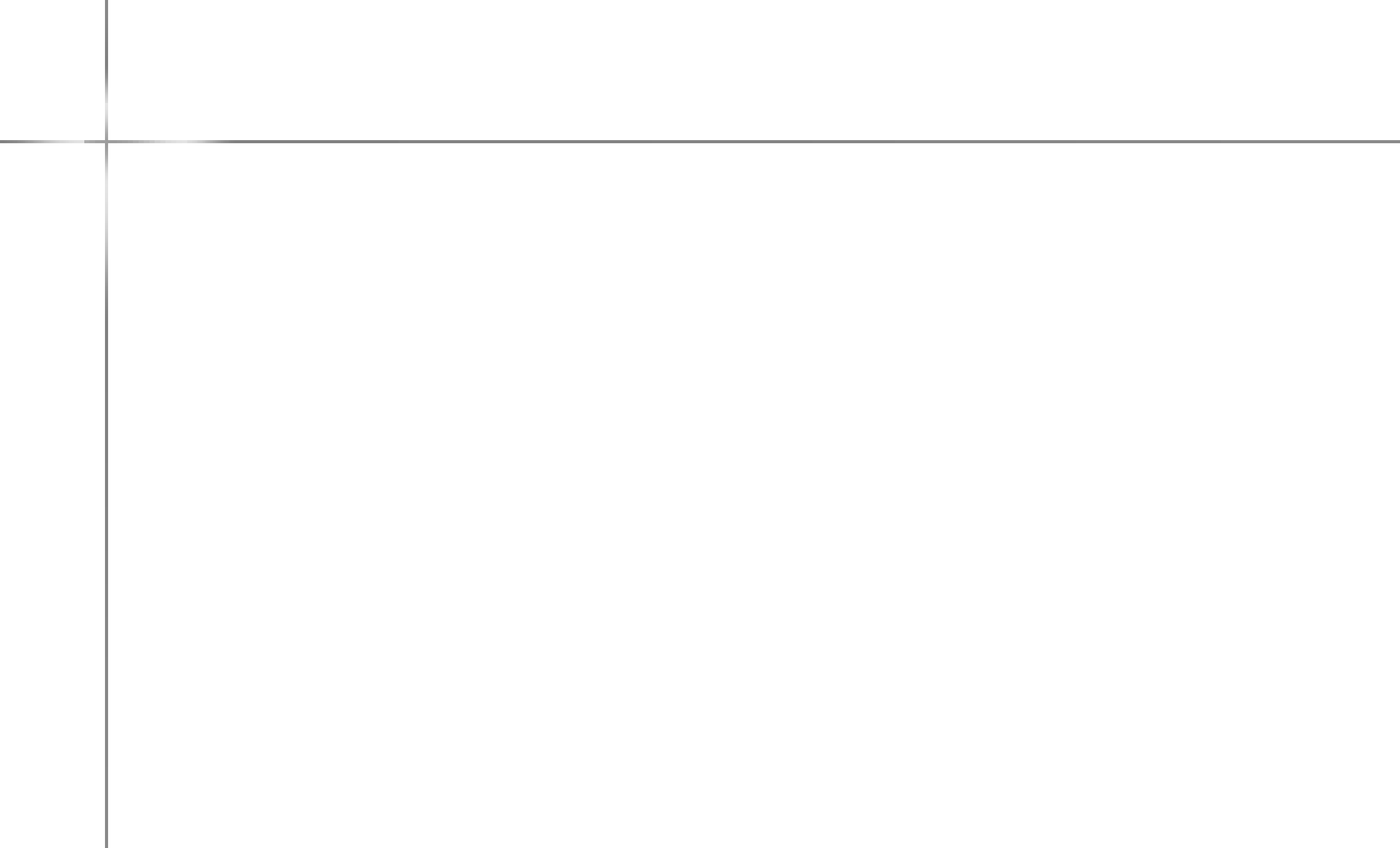


|  |  |
| --- | --- |
| Алгоритмические и логические основы цифровой вычислительной техники  / Компьютерные системы и сети  БГТУ  кафедра ПИ | |
|  | доцент Самаль Дмитрий Иванович  [dmitry\_samal@mail.ru,](mailto:dmitry_samal@mail.ru)  a.408-1  Лекция 3  «Основы схемотехники. Триггеры» 2020 |

|  |  |
| --- | --- |
| План лекции   1. Временная диаграмма сигналов 2. Переход от микроэлектроники к схемотехнике 3. Понятие триггера. Классификация | |
|  | 1. Цифровой логический уровень 2. Трансляция vs Интерпретация   **!**! - обязательный вопрос к зачёту  ***Слайд*** 2 |

# 1 2



Двоичный код сигналов

!**!**

1 1

0

1 1

1

1

1

0

1

1 1

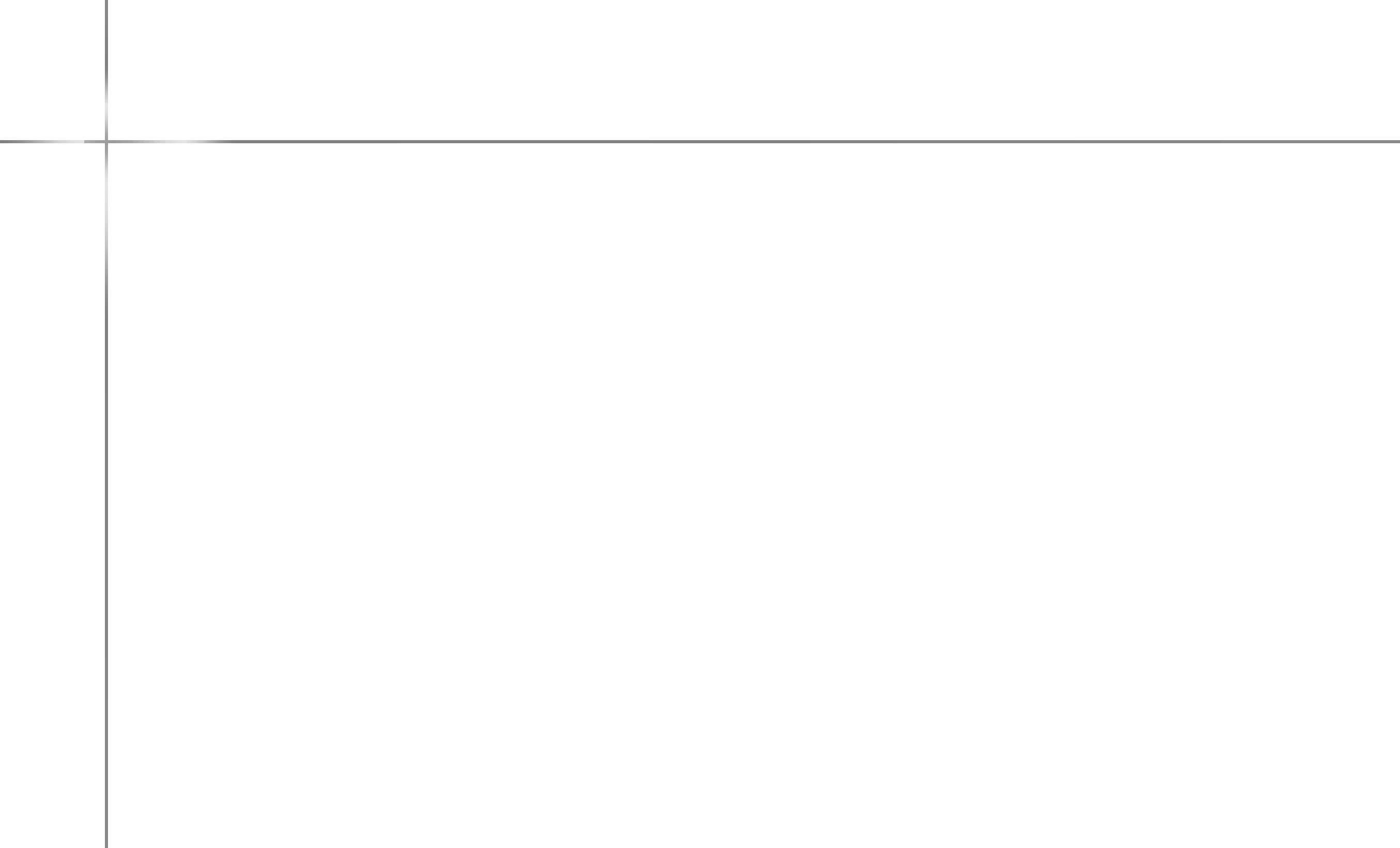
0 0

1 1 1

0

***Слайд*** 4

Коробецкая А.А., Вычислительные системы, сети и телекоммуникации, конспект



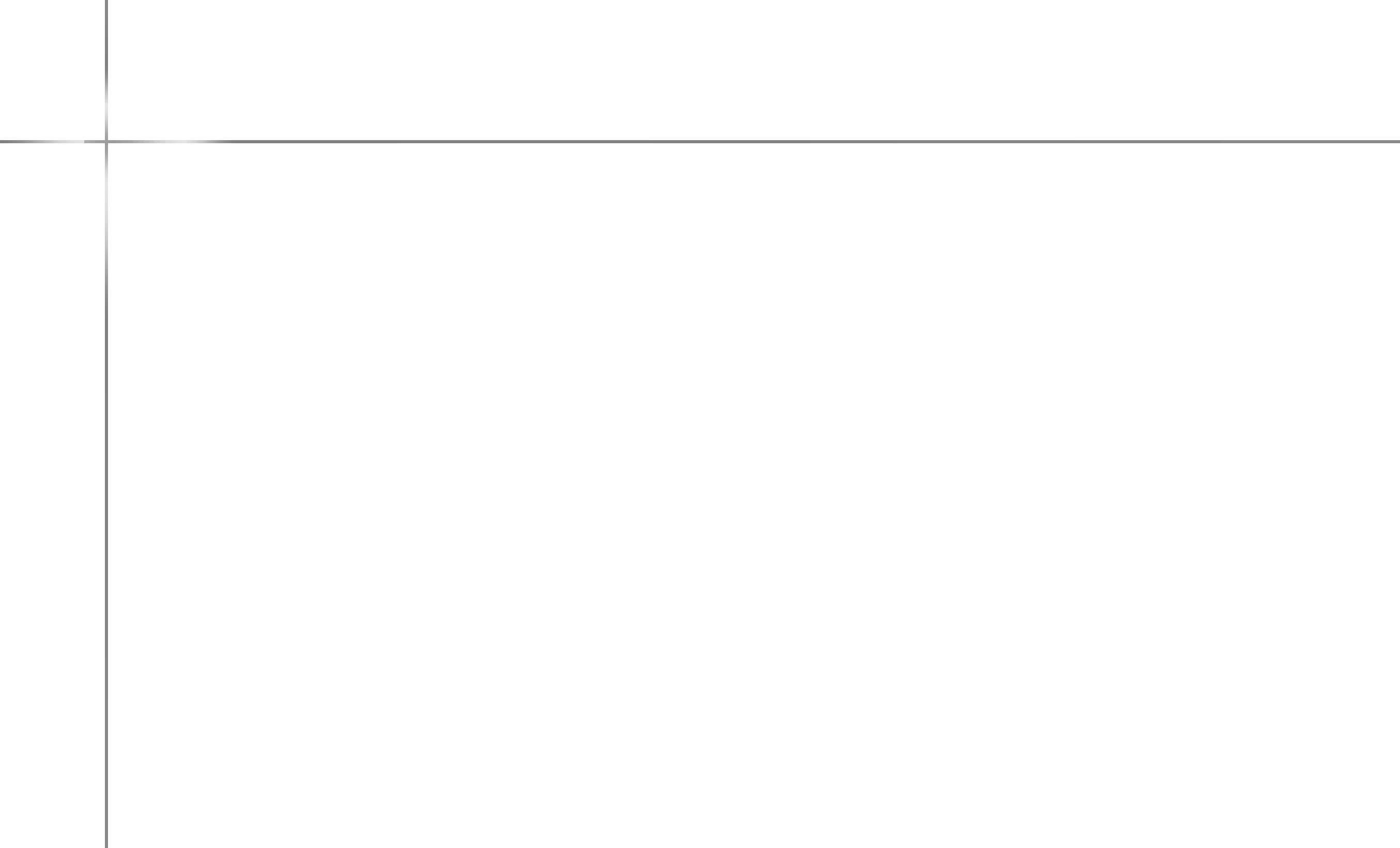
Двоичный код сигналов

**!**!

***Слайд*** 3

3 4

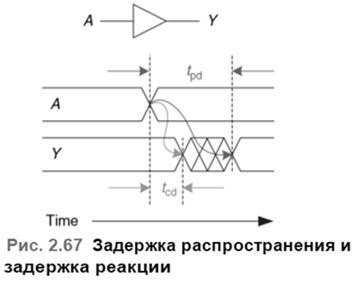
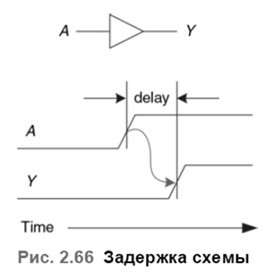
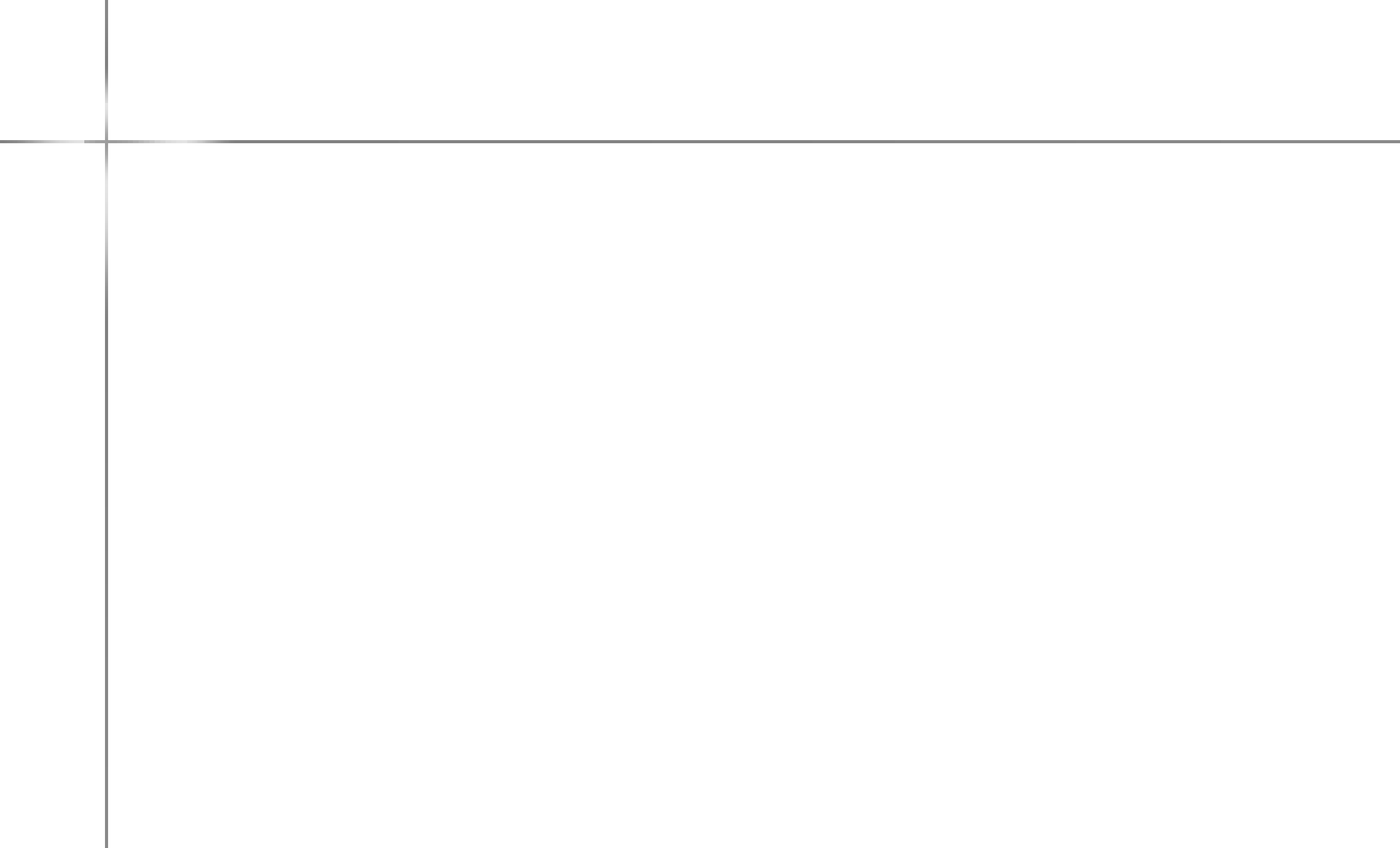
# 5 6



Временная диаграмма сигналов

!**!**

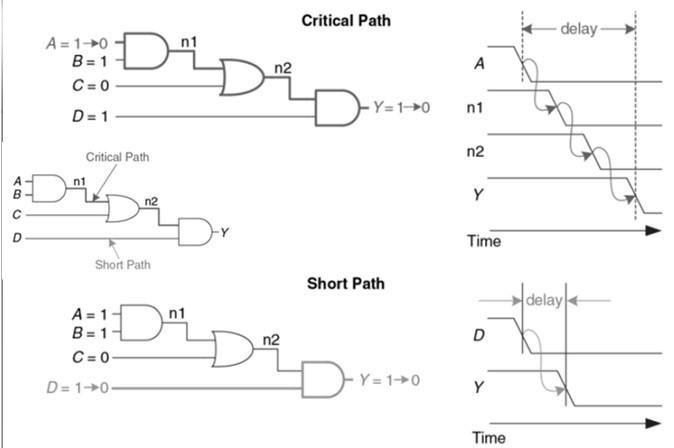
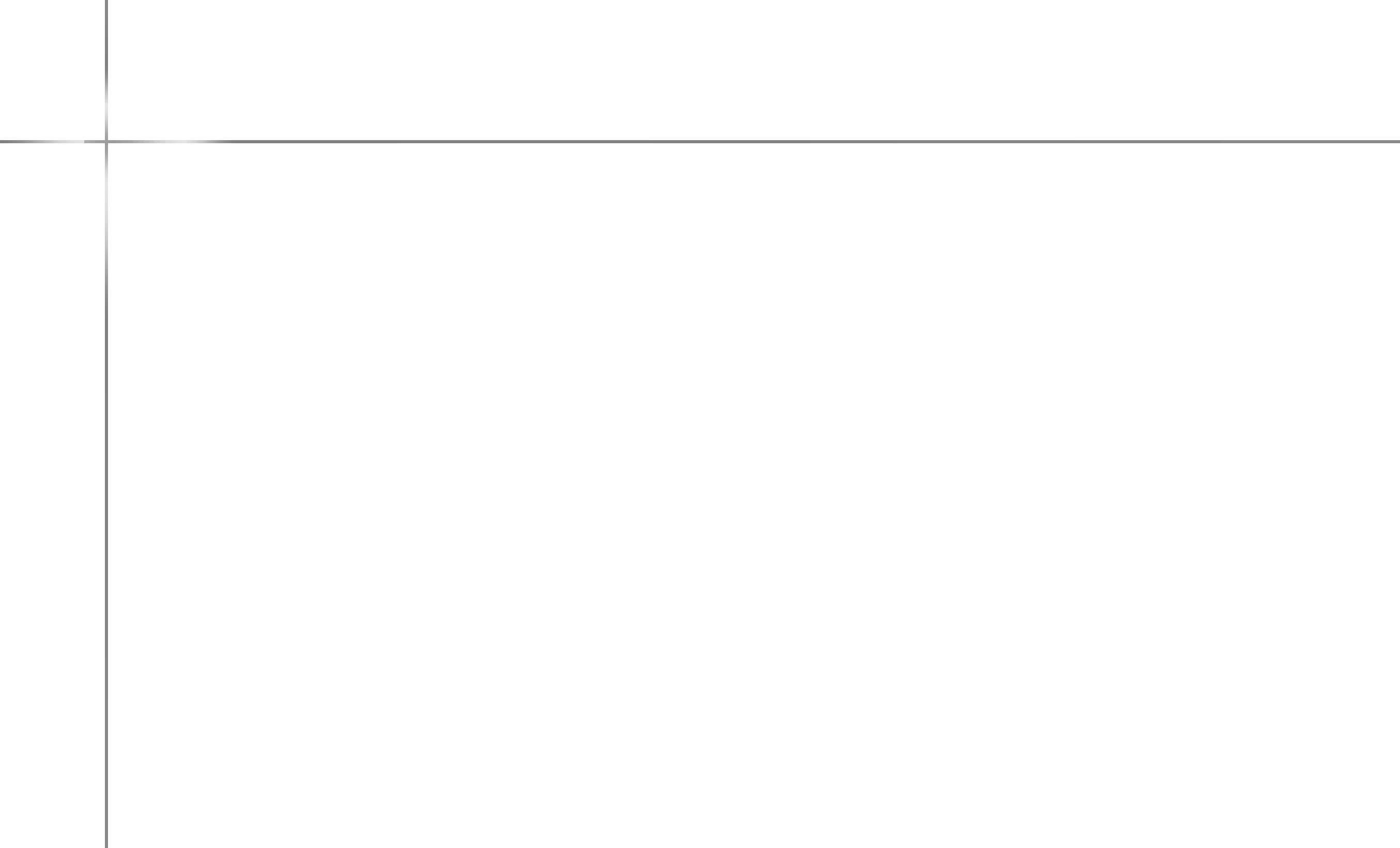
***Слайд*** 5



Временная диаграмма сигналов

На **Рис. 2.67** синим и серым цветом показаны соответственно задержки распространения и задержка реакции буфера. На рисунке показано, что вход *A* изначально имел или ВЫСОКОЕ, или НИЗКОЕ значение, и оно изменяется на противоположное в определенный момент времени; нас интересует только факт, что оно (значение *A*) изменилось, но не его конкретное значение. В ответ, спустя некоторое время, меняется *Y*. Стрелки показывают, что *Y* может начать меняться через временной интервал *tcd* после изменения *A*, и что *Y* точно установится в новое значение не позднее, чем через интервал *tpd*.

***Слайд*** 6



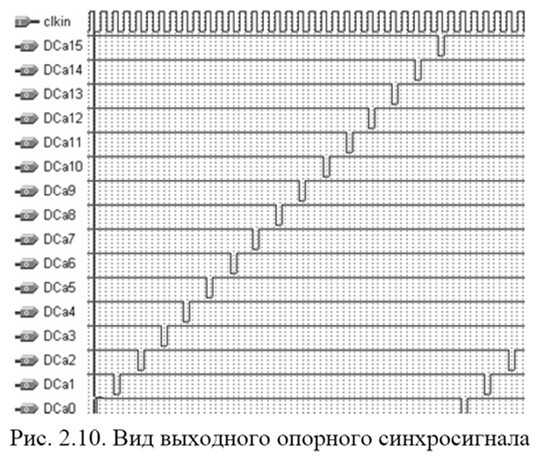
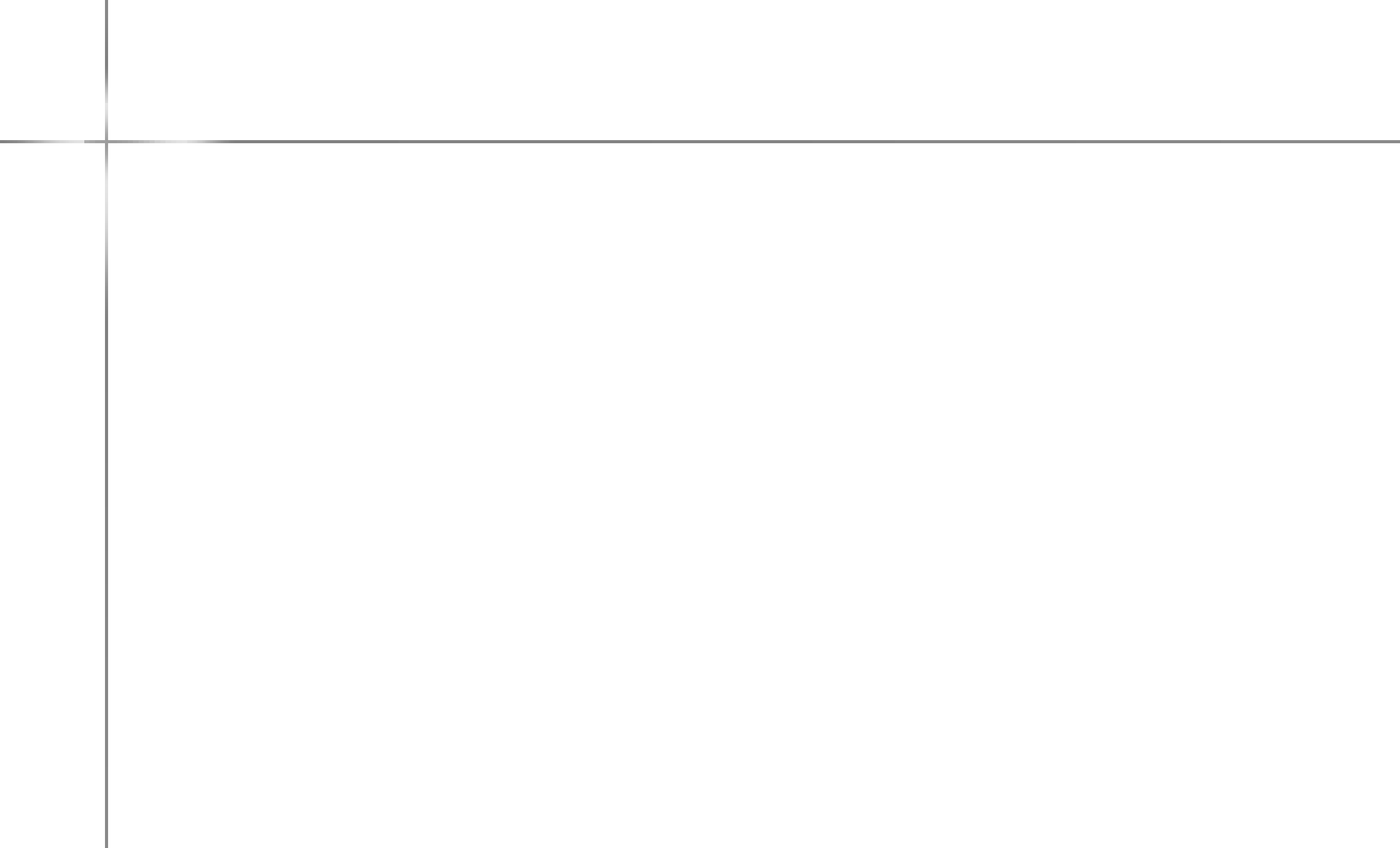
Временная диаграмма сигналов

***Слайд*** 7

Цифровая схемотехника и архитектура компьютера, второе издание Дэвид М. Хэррис и Сара Л. Хэррис – стр. 237-238

Цифровая схемотехника и архитектура компьютера, второе издание Дэвид М. Хэррис и Сара Л. Хэррис

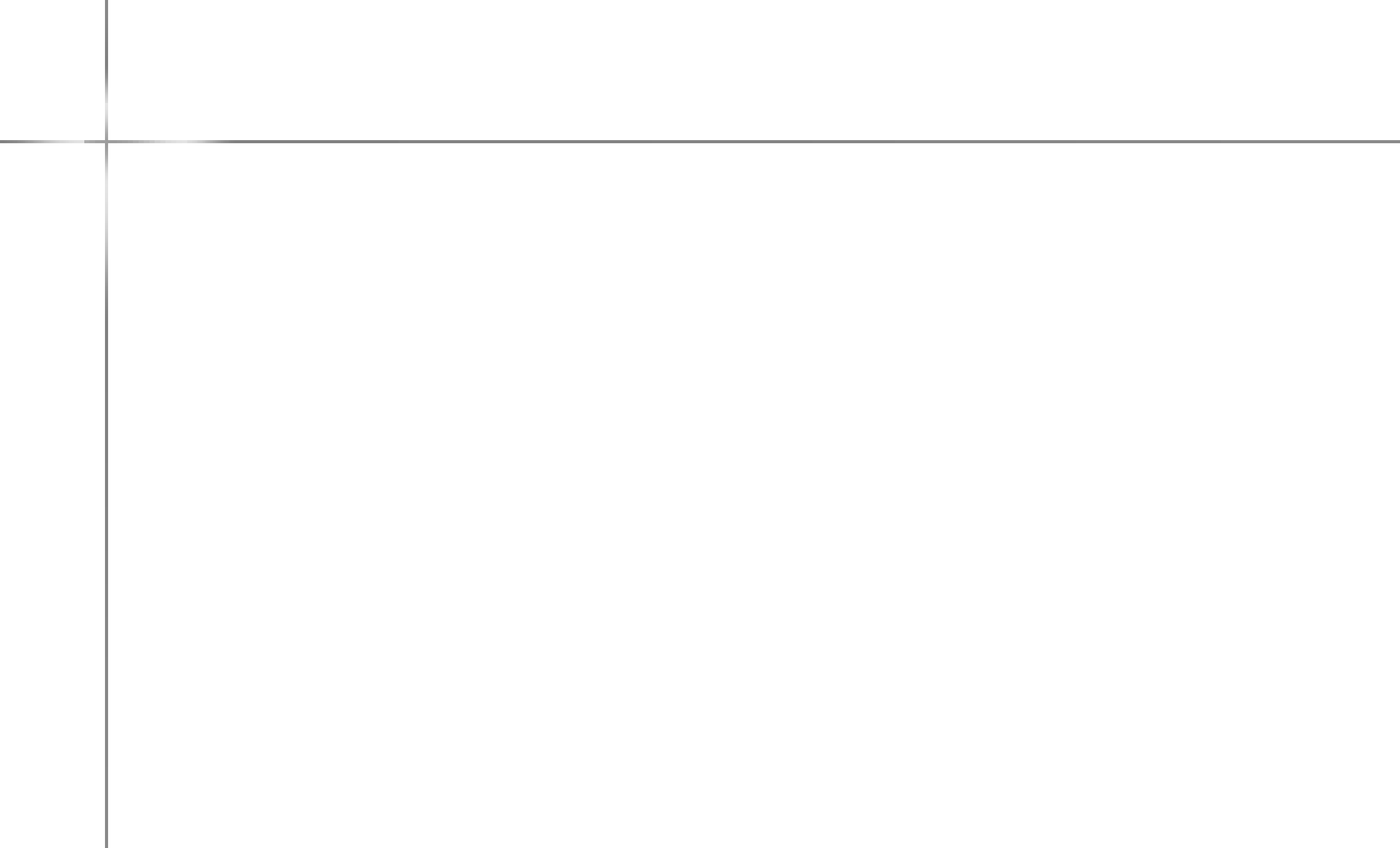
Цифровая схемотехника и архитектура компьютера, второе издание Дэвид М. Хэррис и Сара Л. Хэррис – стр. 235



Временная диаграмма сигналов

***Слайд*** 8

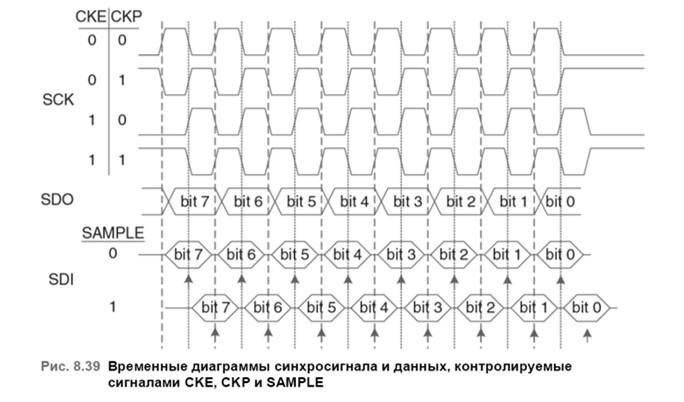
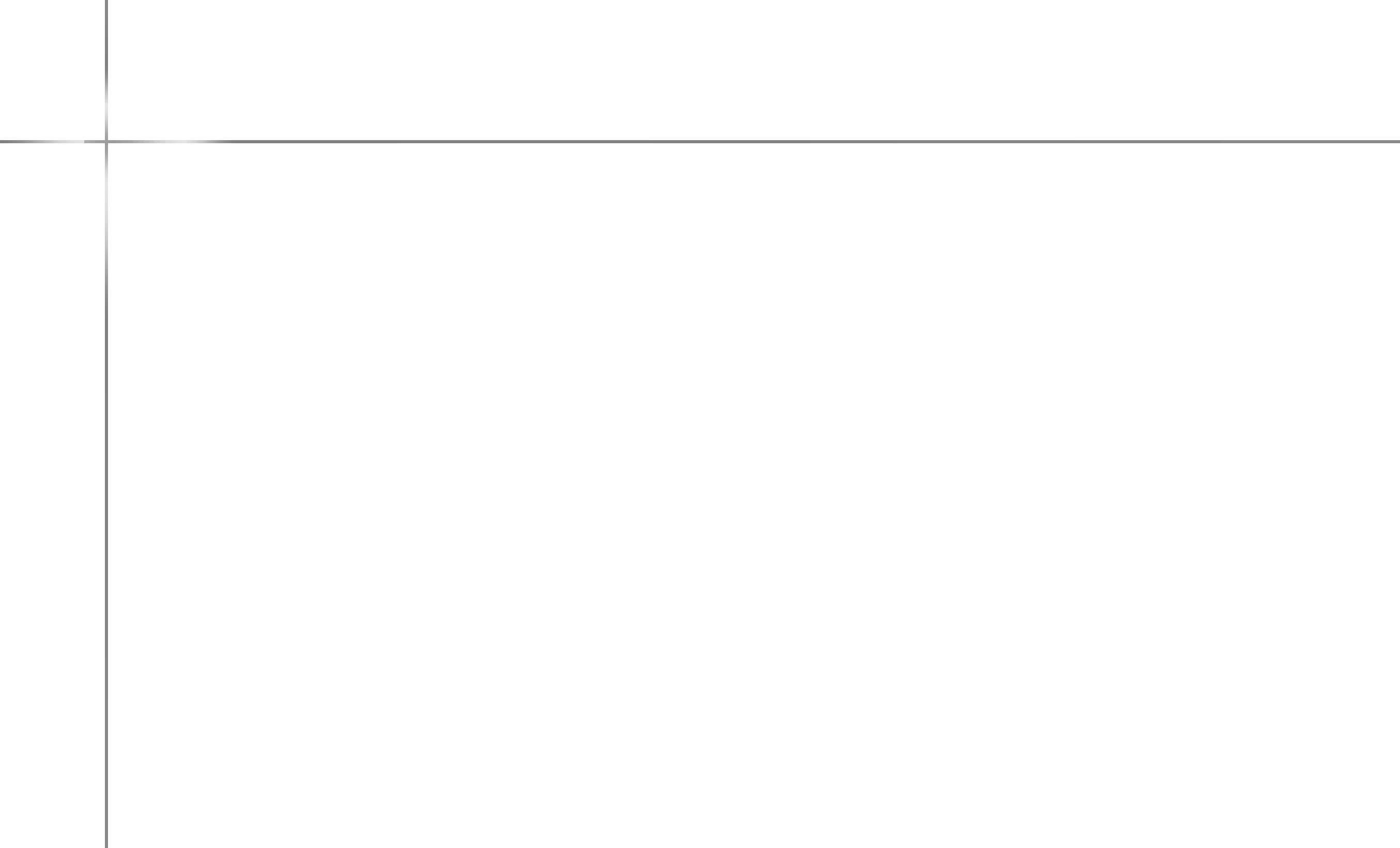
7 8



Временная диаграмма сигналов

***Слайд*** 10

# 9 10



Временная диаграмма сигналов

***Слайд*** 9



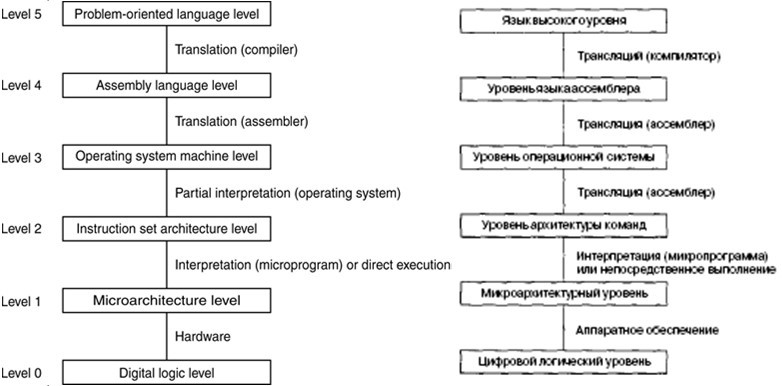
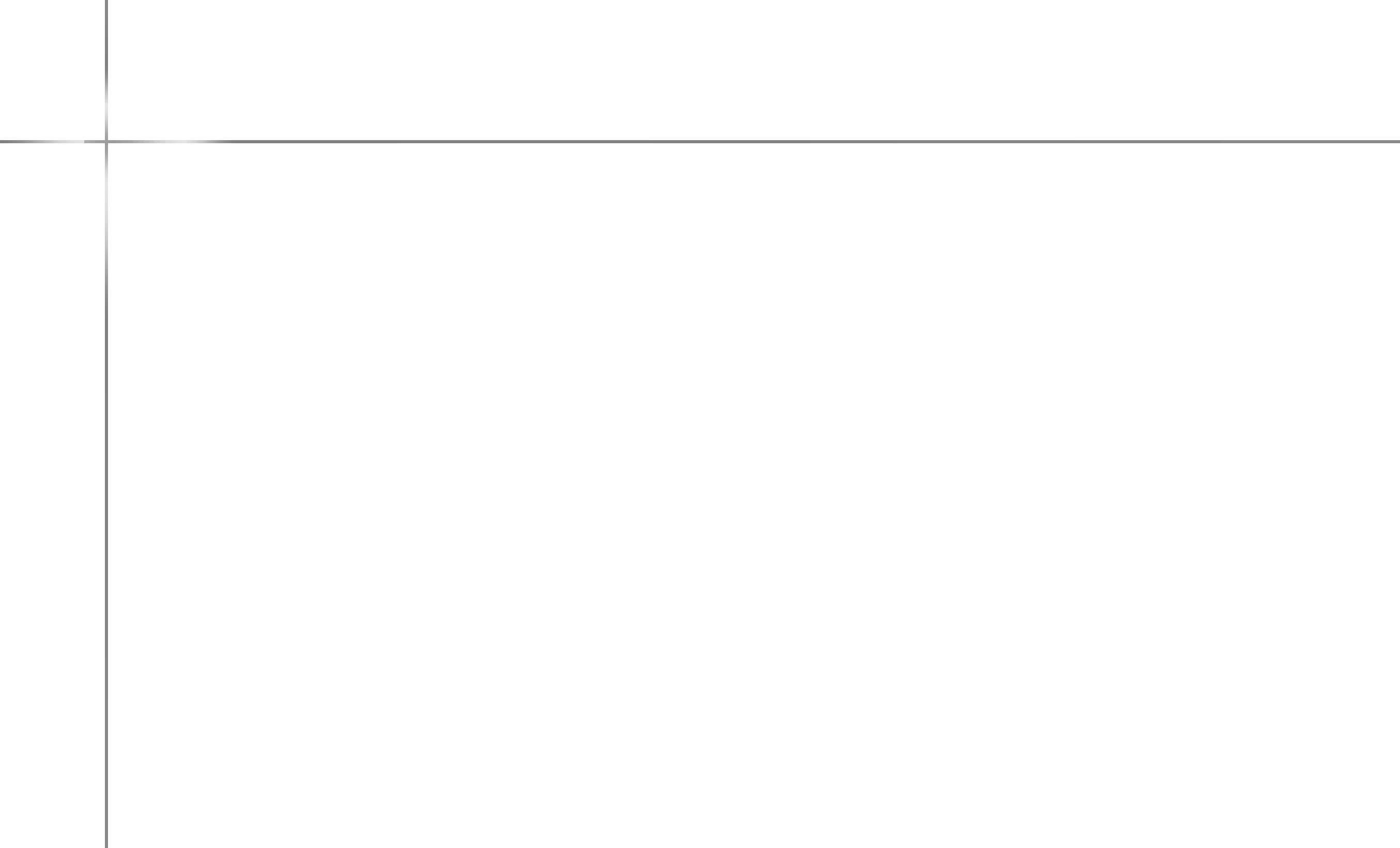
Современные многоуровневые машины Contemporary Multilevel Machines

* -1 уровень (не показан) - **уровень физических устройств.** На нём находятся транзисторы, которые являются примитивами для разработчиков компьютеров. Объяснять, как работают транзисторы,— задача физики.
* 0 уровень - самый нижний - **цифровой логический уровень содержит** объекты, называемые **вентилями.** Вентиль вычисляет простые функции двоичных сигналов, такие как И или ИЛИ. Каждый вентиль формируется из нескольких транзисторов. Несколько вентилей формируют 1 бит памяти. Биты памяти, объединенные в группы, например, по 16,32 или 64, формируют регистры.

***Слайд*** 12

Цифровая схемотехника и архитектура компьютера, второе издание Дэвид М. Хэррис и Сара Л. Хэррис

Цилькер Б.Я., Орлов С.А. Организация ЭВМ и систем, Питер, 2007 г.



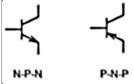
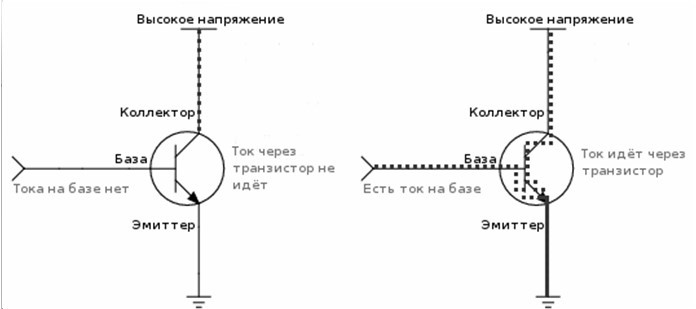
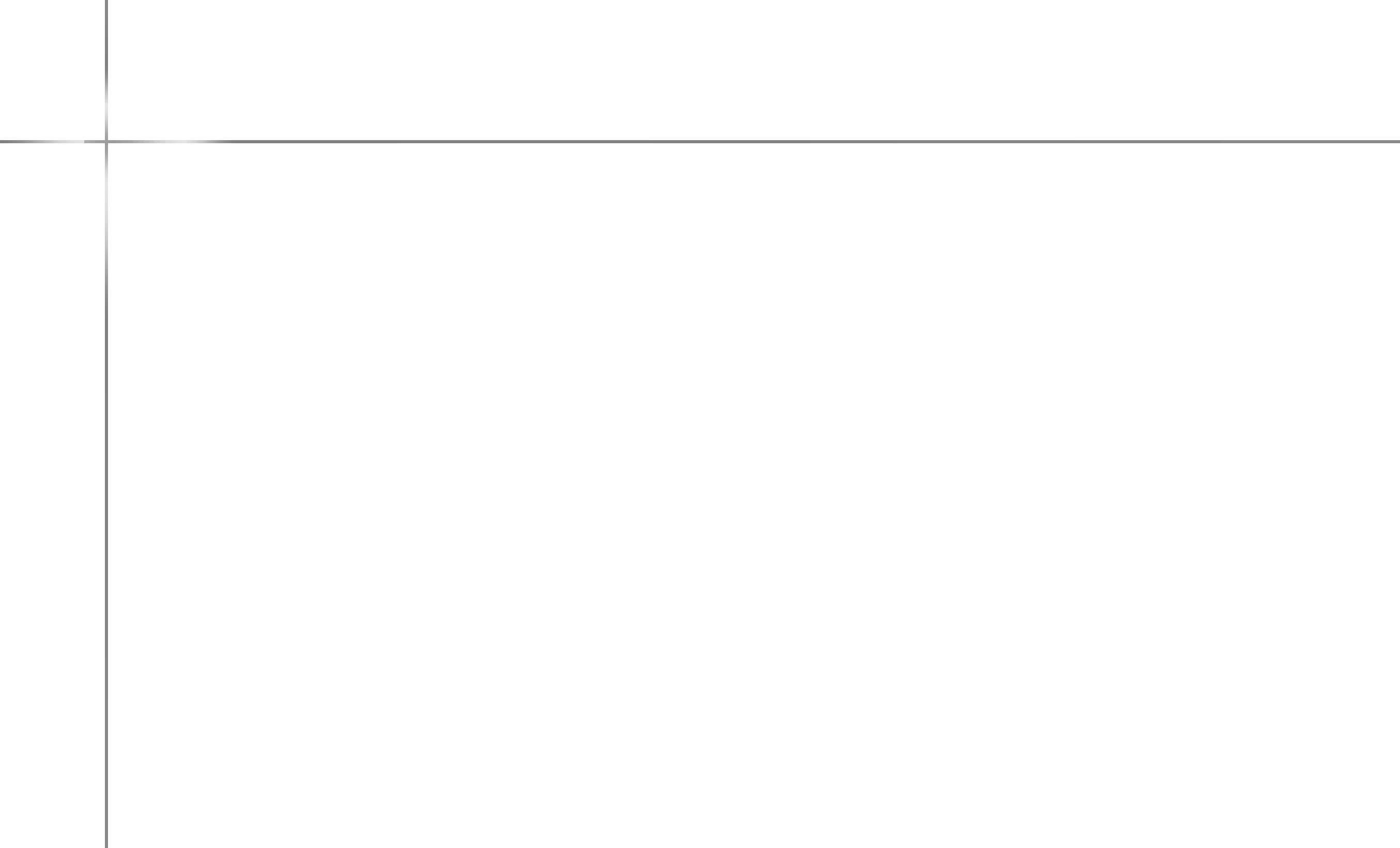
Современные многоуровневые машины Contemporary Multilevel Machines

A six-level computer.

The support method for each level is indicated below it . ***Слайд*** 11

ЭЛЕМЕНТЫ АЛГЕБРЫ ЛОГИКИ, Изд-во Бином

ЭЛЕМЕНТЫ АЛГЕБРЫ ЛОГИКИ, Изд-во Бином



Модель транзистора

**!**!

PNP транзисторы открываются напряжением отрицательной полярности, NPN - положительной. В NPN транзисторах основные носители заряда - электроны, а в PNP - дырки, которые менее мобильны, соответственно

NPN транзисторы быстрее переключаются.

***13***

13 14

***S***

0

0

1

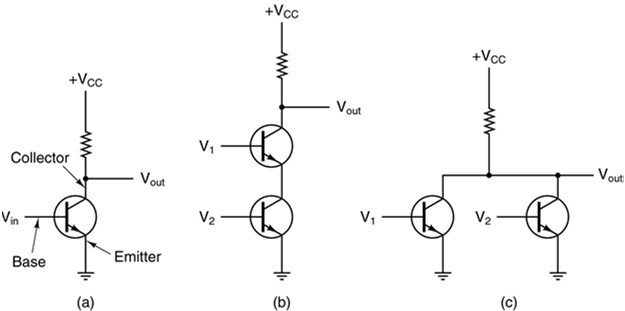
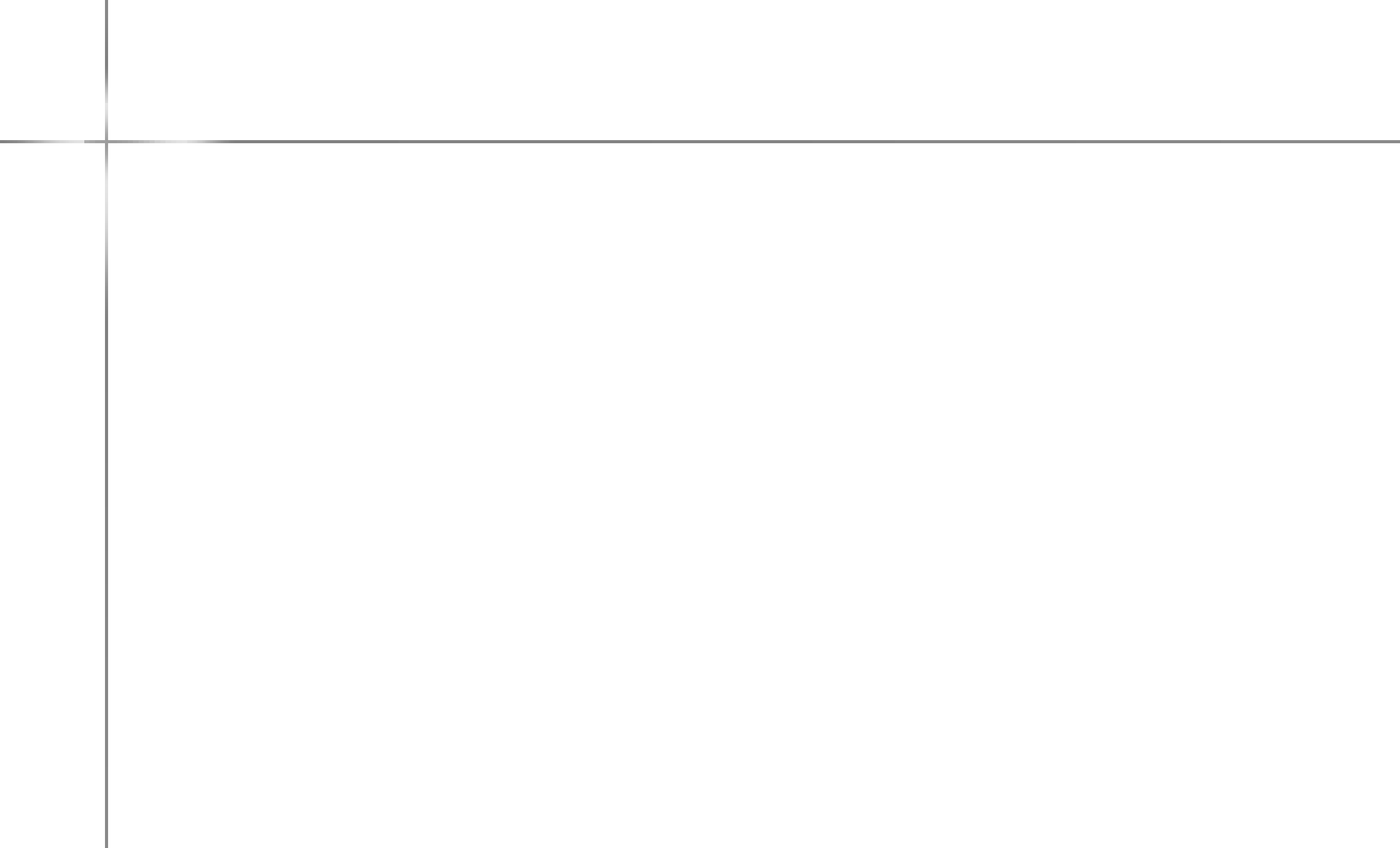
1

0

0

1

1



Логические элементы

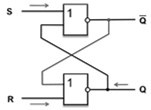
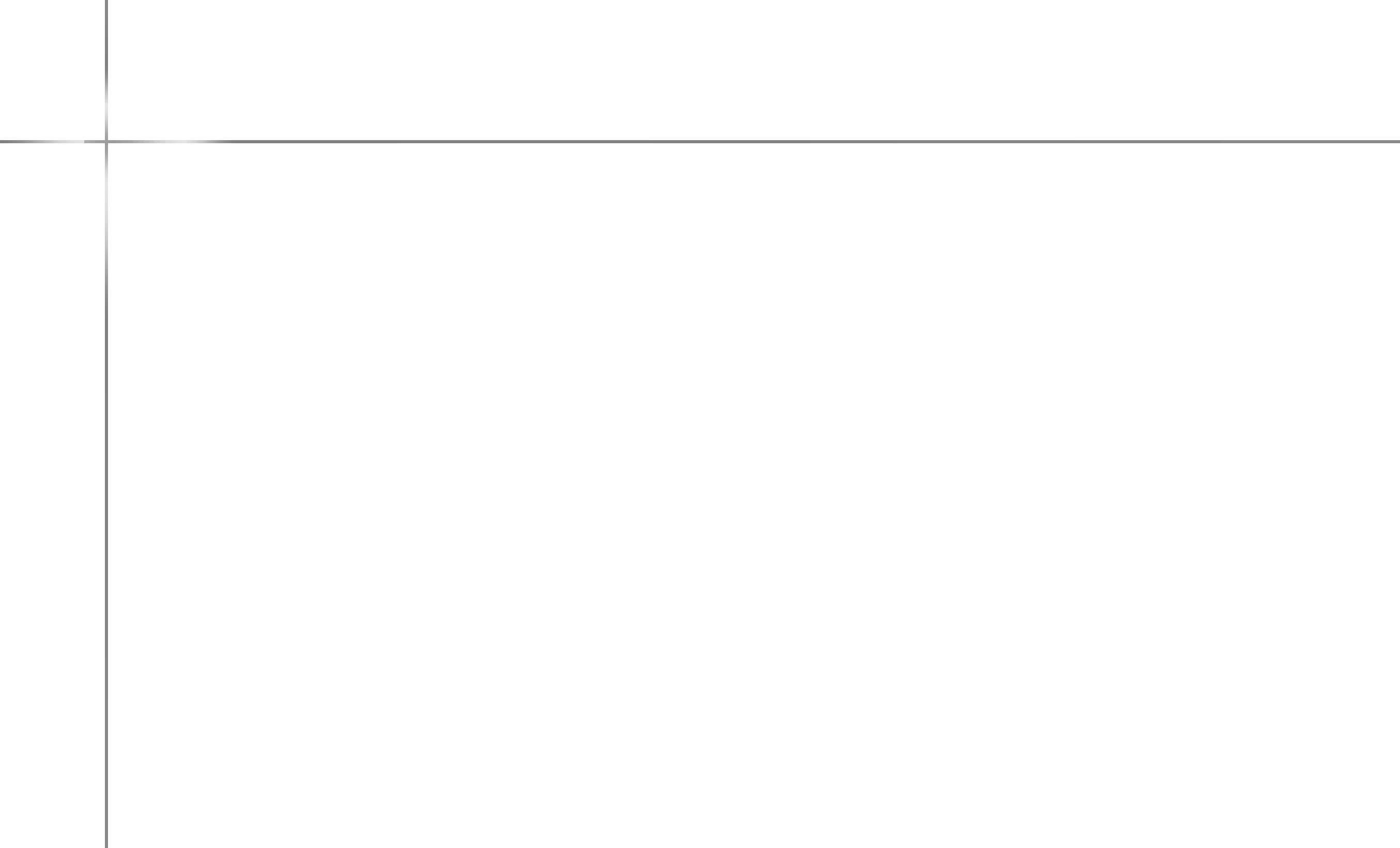
!**!**

(а) – НЕ, NOT，Инвертор

(b) – И-НЕ, NAND, Штрих Шеффера

(с) – ИЛИ-НЕ, NOR, Стрелка Пирса

***14***



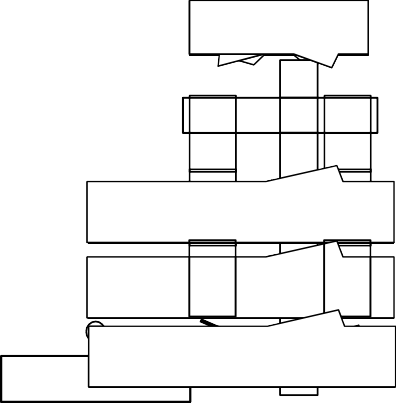
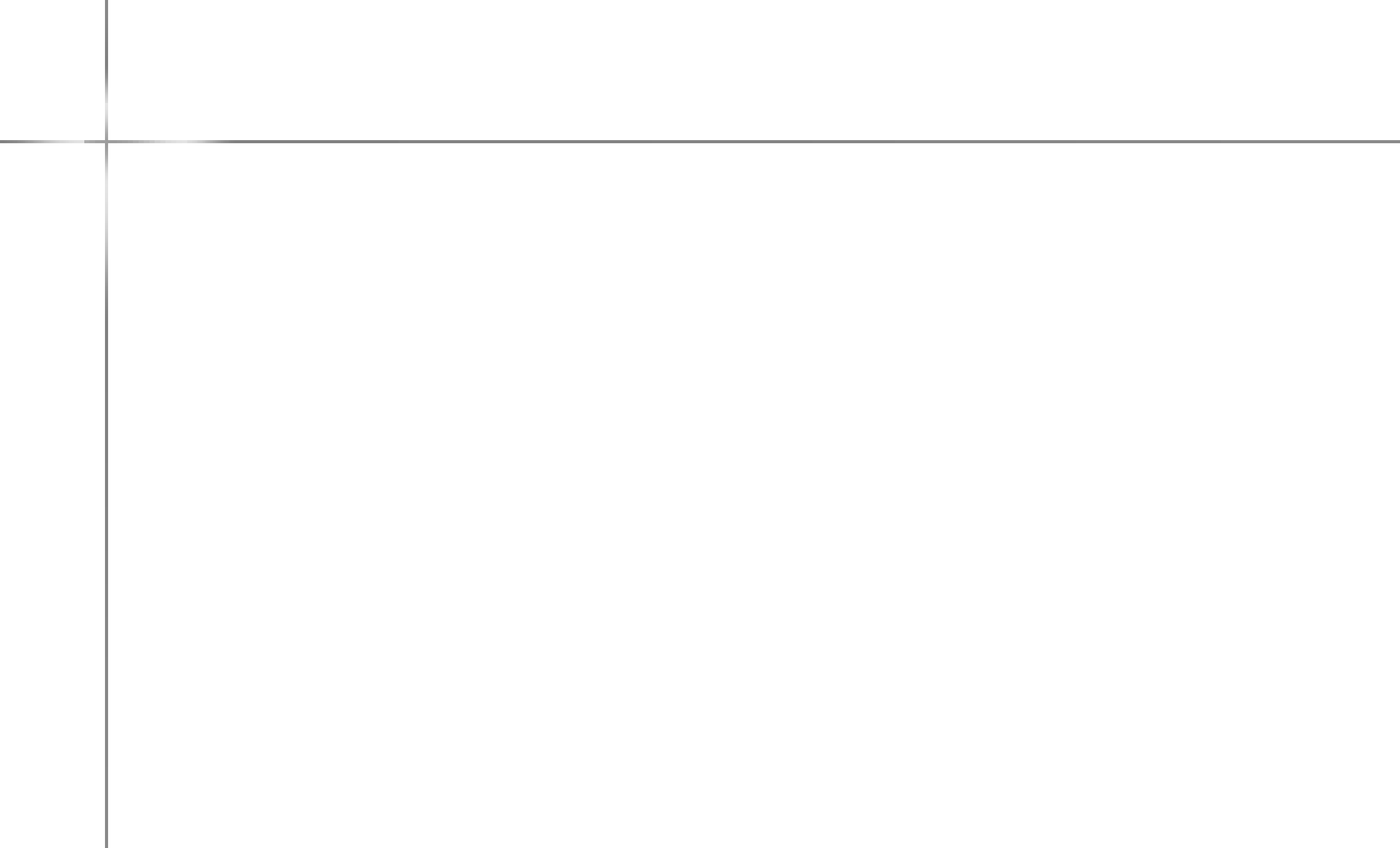
!

Триггер

**Триггер** (от англ. *trigger* — защёлка) – логический эле- мент, способный хранить один разряд двоичного числа.

**Михаил Александрович Бонч-Бруевич** (1888–1940) – русский и советский радиотехник, основатель отечественной радиоламповой промышленности.

Работал в области радиовещания и дальней связи на коротких волнах. В 1918 году предложил схему переключающего устрой- ства, имеющего два устойчивых рабочих состояния, под названием «катодное реле». Это устройство впоследствии было названо триггером.



RS-триггер

Схема хранения разряда двоичного числа

ВСВНхотоавдроое***SR***ес**(**с**о**ос**т**ст**а**отнонягягн**л**ни**.**иее тr*s*eр*es*и*te*гуг*t*сестрб**а**нровс)ка)

***Q***

0

**S**

010

1010

**Q**

***R***

0

1 0

***Q***

0

1

0 0 1

При R= S , тригге

0 и =0 р

сохраняет и1сходн0ое состоя1ние

0 1 0

Что происходит при знач~~ения~~х

R=10 и S1=1?

0

101

010101 **Q**

0 1

**R**

Что происходит при значениях

01010

Устойчивая работа R=11 и S1=0? невозможна

Э. Танненбаум, Архитектура компьютера, 4-е изд., 2006 г.

**!**!

|  |  |  |  |
| --- | --- | --- | --- |
| **Режим работы триггера** | **Вход R (сброс)** | **Вход S (установка)** | **Состояние триггера Q** |
| Хранение предыдущего состояния | 0 | 0 | Q |
| Установка триггера в 0 | 1 | 0 | 0 |
| Установка триггера в 1 | 0 | 1 | 1 |
| Запрещенное состояние | 1 | 1 | Недопустимо |

# 17 18

иоит чоМю ып ь

–

вй п

хиом

.

о ыцлк вкй оеаа

рлбр

фтоу икКт

к

це.е

пСт

ыс с вн.ии ооАхр

р

нк/ар

с:й э

о иХ ве

еота.

скЛ ирои

кен а

ст н ьхр

еюл а

чьа С

е

ип т

г ио омцми лоеес

-кпхи

о сср ка-

ирTяр

туIаэ ет вХ

кв

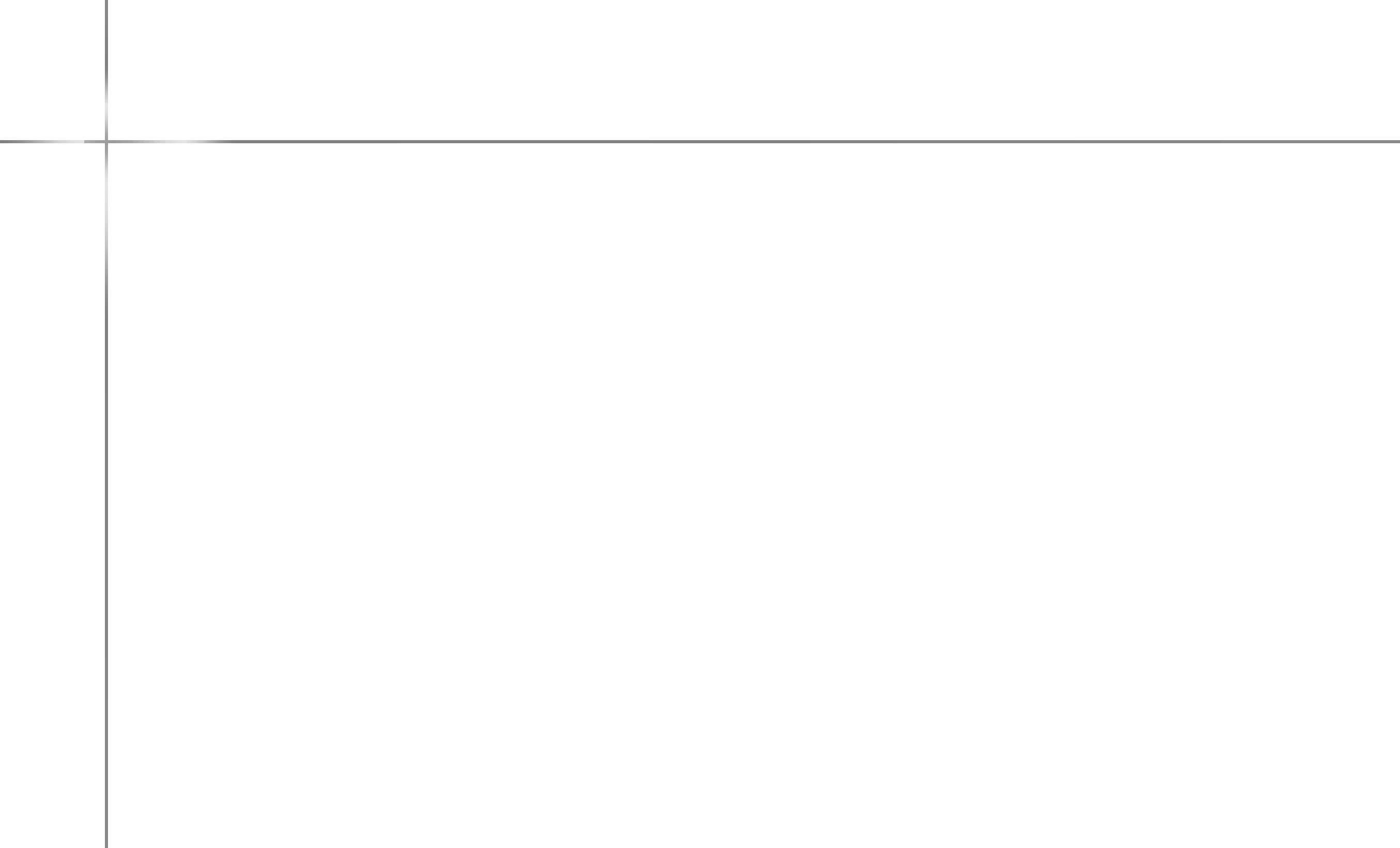
меоо.

фттрМ иинфд рхеии АрдЦв ау э

. т.

1ис2Д

***19***



Триггер

S

Триггер используется для

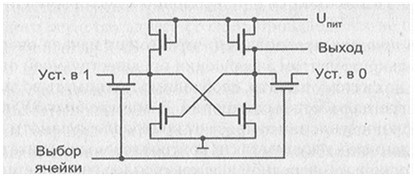
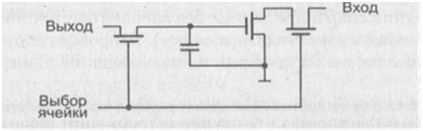
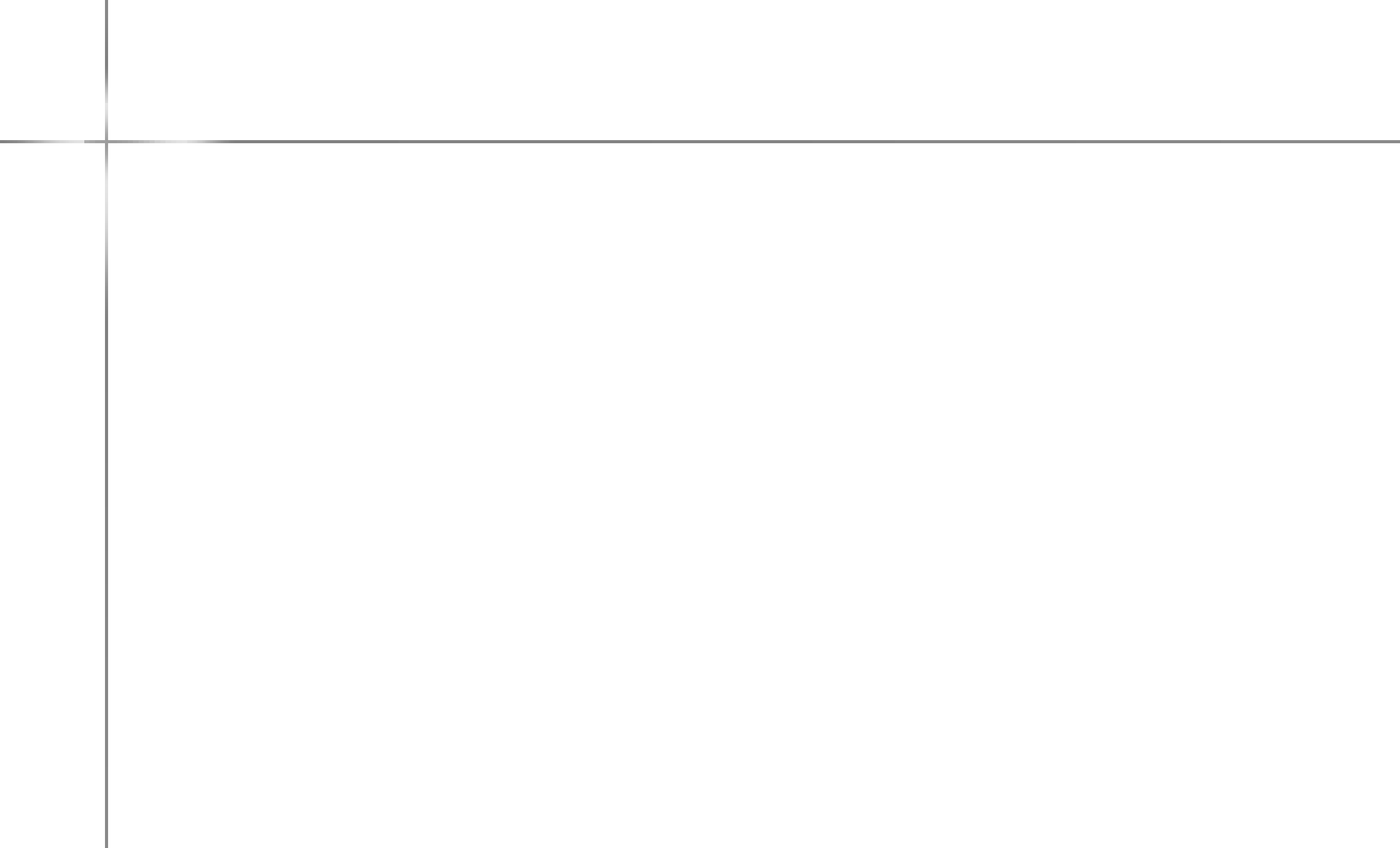
Q

хранения информации в опера- тивной памяти и внутренних

регистрах компьютера. Память содержит миллионы триггеров.

R

Q



Статическое и динамическое ОЗУ

**!**!

SRAM, на 6

транзисторах (а по факту – это триггер) – быстрее, менее чувствительны к внешним излучениям

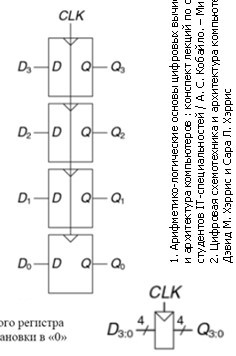
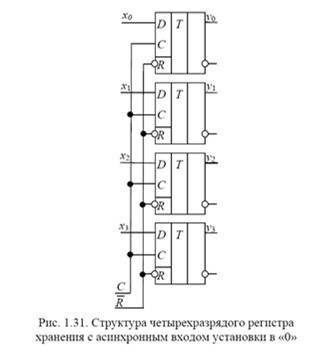
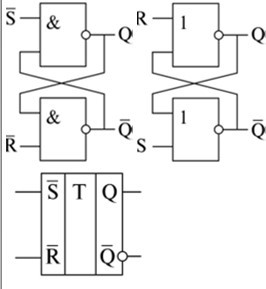
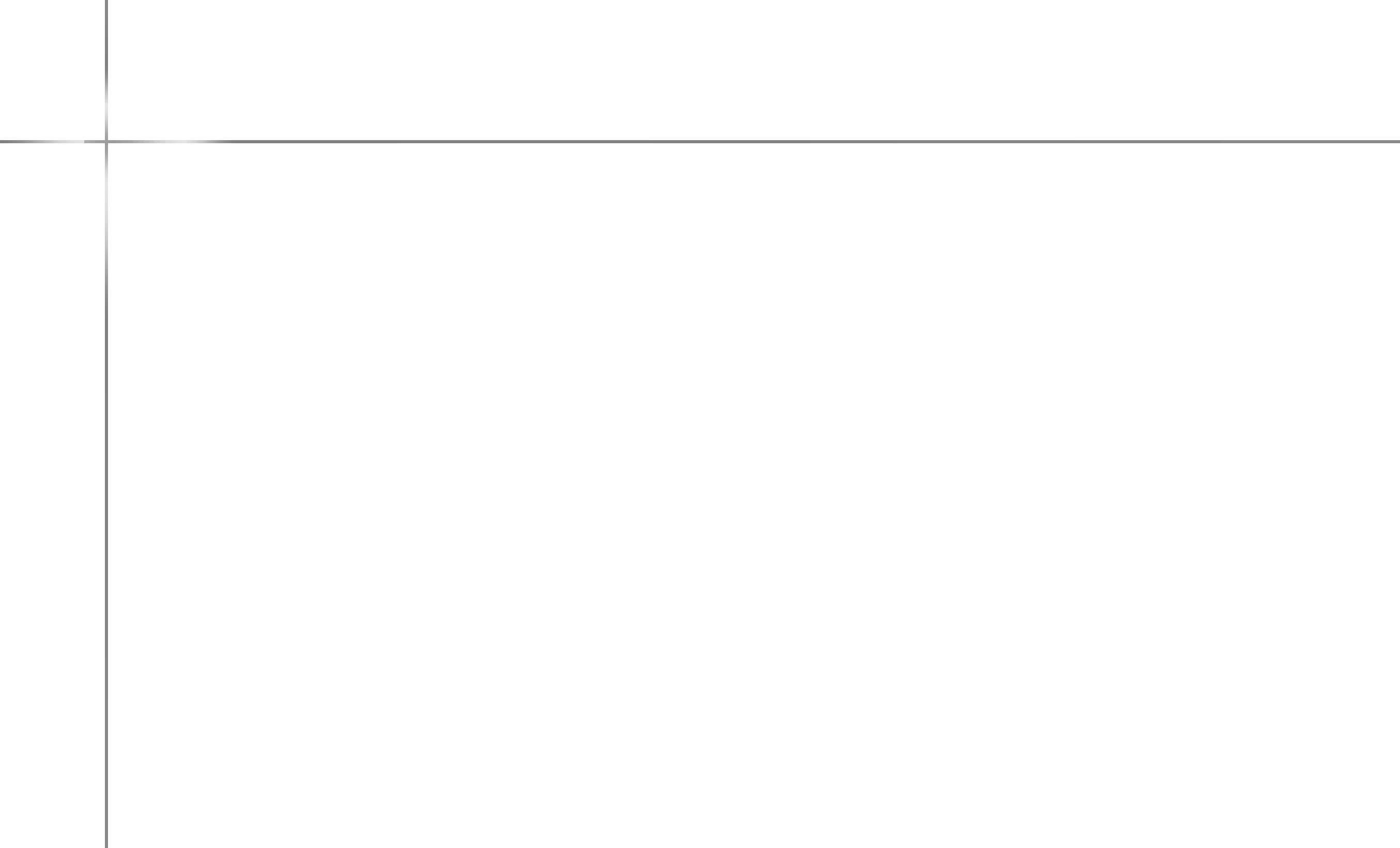
DRAM

Простота схемы DRAM позволяет достичь высокой плотности размещения, в итоге, *снизитьстоимость.Главныйнедостаток-что накапливаемыйнаконденсаторезарядсовременемтеряется.*

*СреднеевремяутечкизарядаDRAMсоставляетсотни(десятки)*

*миллисекунд,поэтому,зарядследуетрегенерировать.*

***Слайд*** 18



Триггера и регистры

!**!**

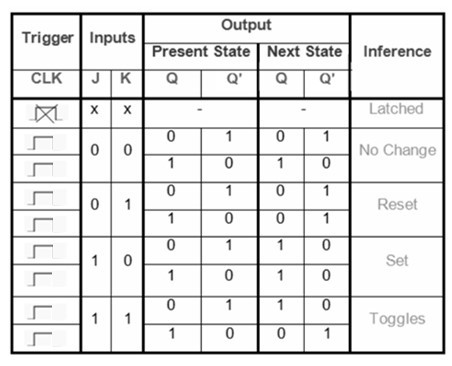
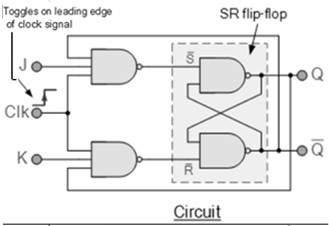
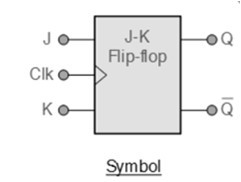
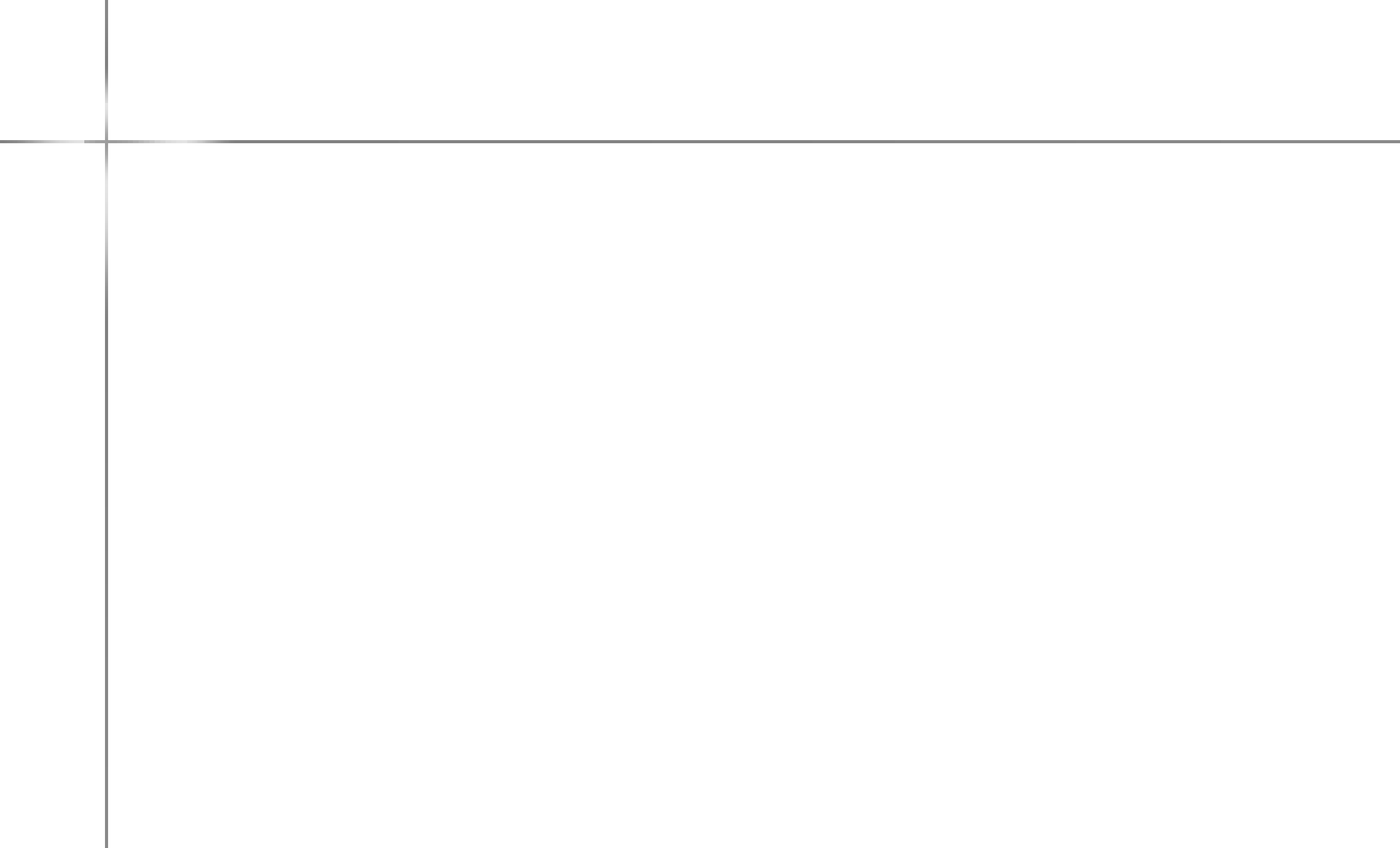
Триггер – простейший элемент памяти (1 bit)

N-разрядный регистр – набор из N триггеров с общим тактовым сигналом. Таким образом, все биты регистра обновляются одновременно. Регистр является ключевым блоком при построении большинства последовательностных схем.

слительных машин дноименной дисциплине для нск : БГТУ, 2015. – 112 с.

ера, второе издание

ЭЛЕМЕНТЫ АЛГЕБРЫ ЛОГИКИ, Изд-во Бином



JK-триггер

!**!**

Защёлкнут

Без изменений

Сброс

Установка

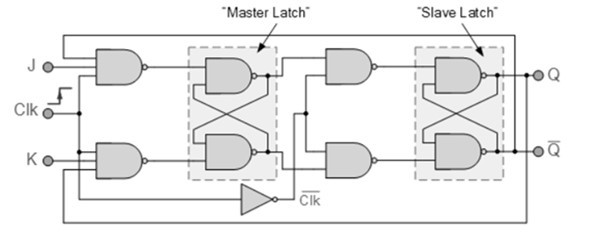
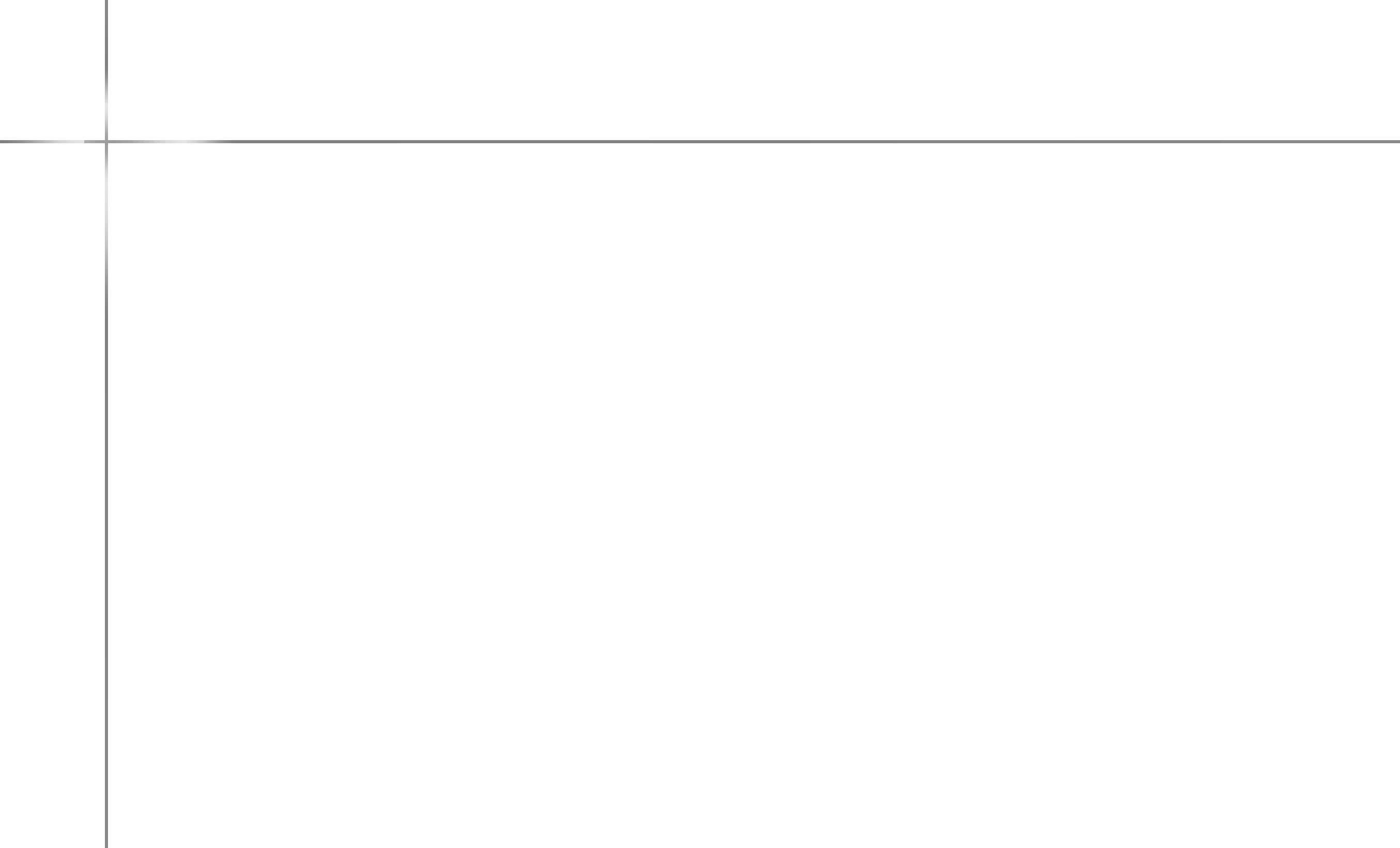
Переключение

***20***

https://[www.electronics-tutorials.ws/sequential/seq\_2.html](http://www.electronics-tutorials.ws/sequential/seq_2.html)

https://helpiks.org/6-52763.html

21 22



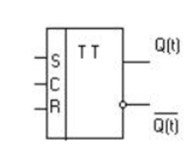
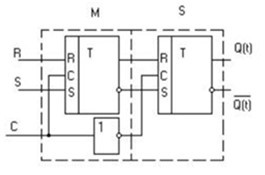
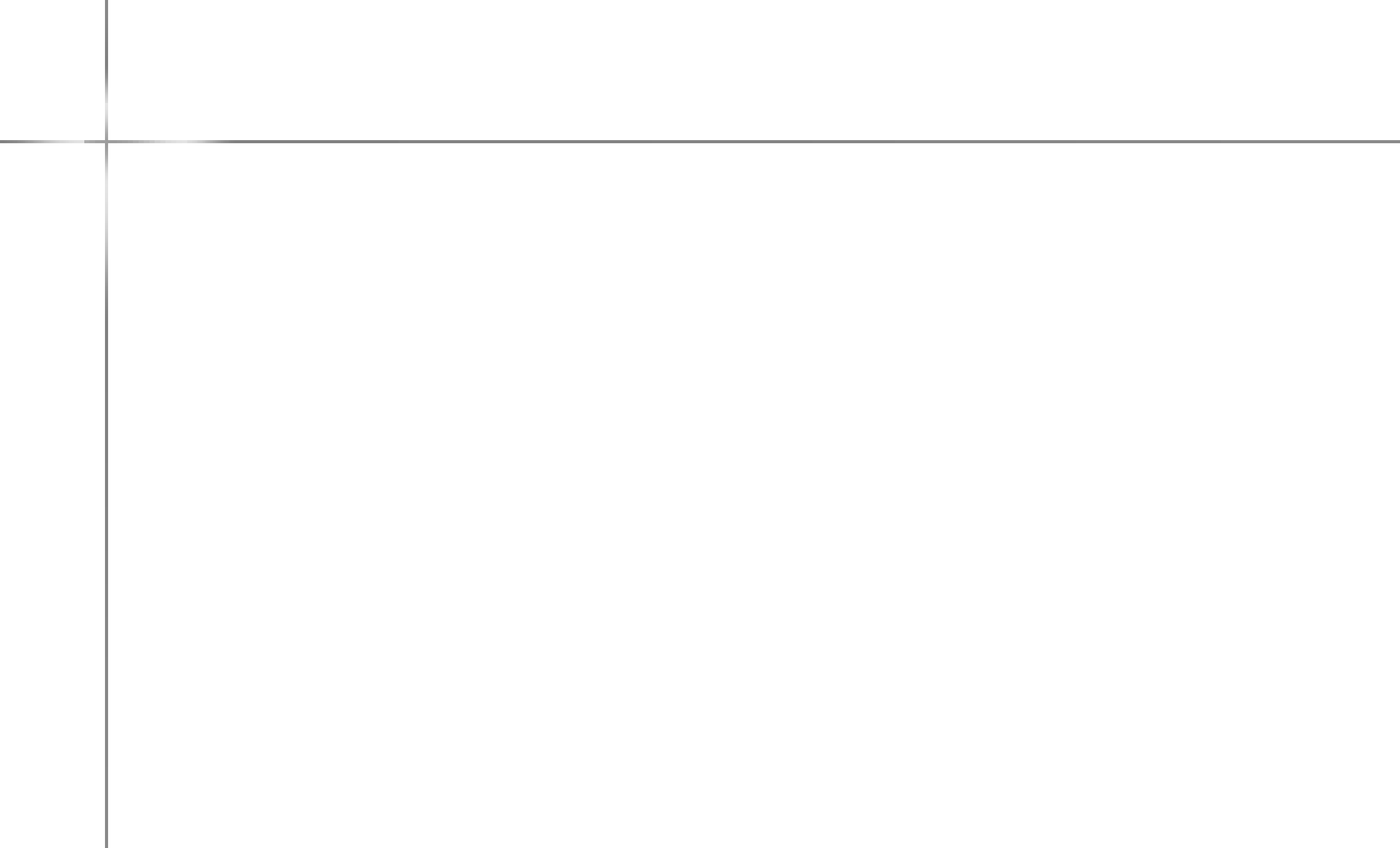
Master-Slave или двухтактный триггер

**!**!

«MS-триггер», слэнговое название любого двухтактного синхронного триггера.

Правильно говорить либо «двухтактный JK-триггер» либо (в крайнем случае) «MS JK-триггер»

***21***



Master-Slave или двухтактный

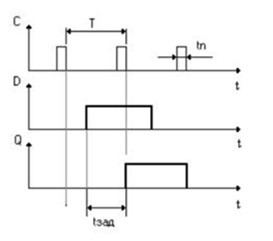
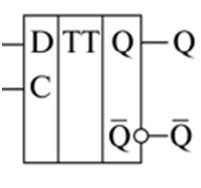
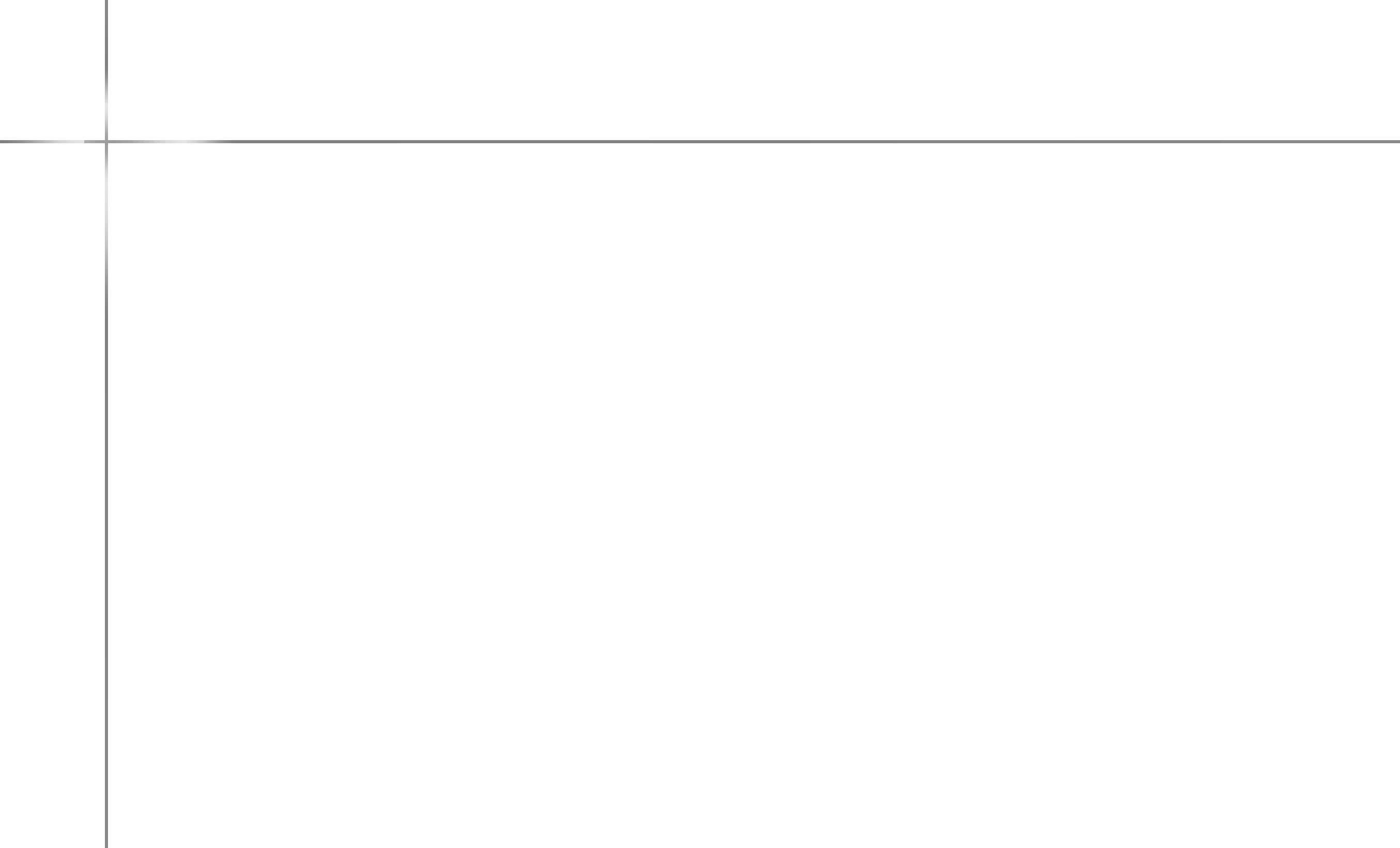
триггер

Если сигнал С=1, то первая ступень находится в режиме приема информации, а вторая - в режиме хранения, так как сигнал синхронизации на её входе равен нулю.

Если С=0, то первый триггер переходит в режим хранения,

а второй - в режим приема информации и копирует состояние первого триггера. Именно в этот момент информация появляется на выходе триггера (Q).

***22***



Master-Slave или двухтактный триггер

!**!**

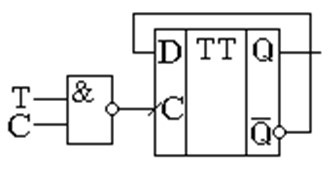
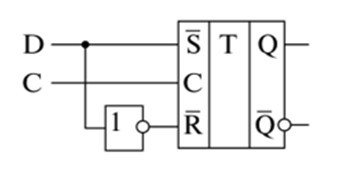
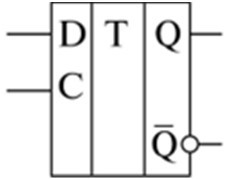
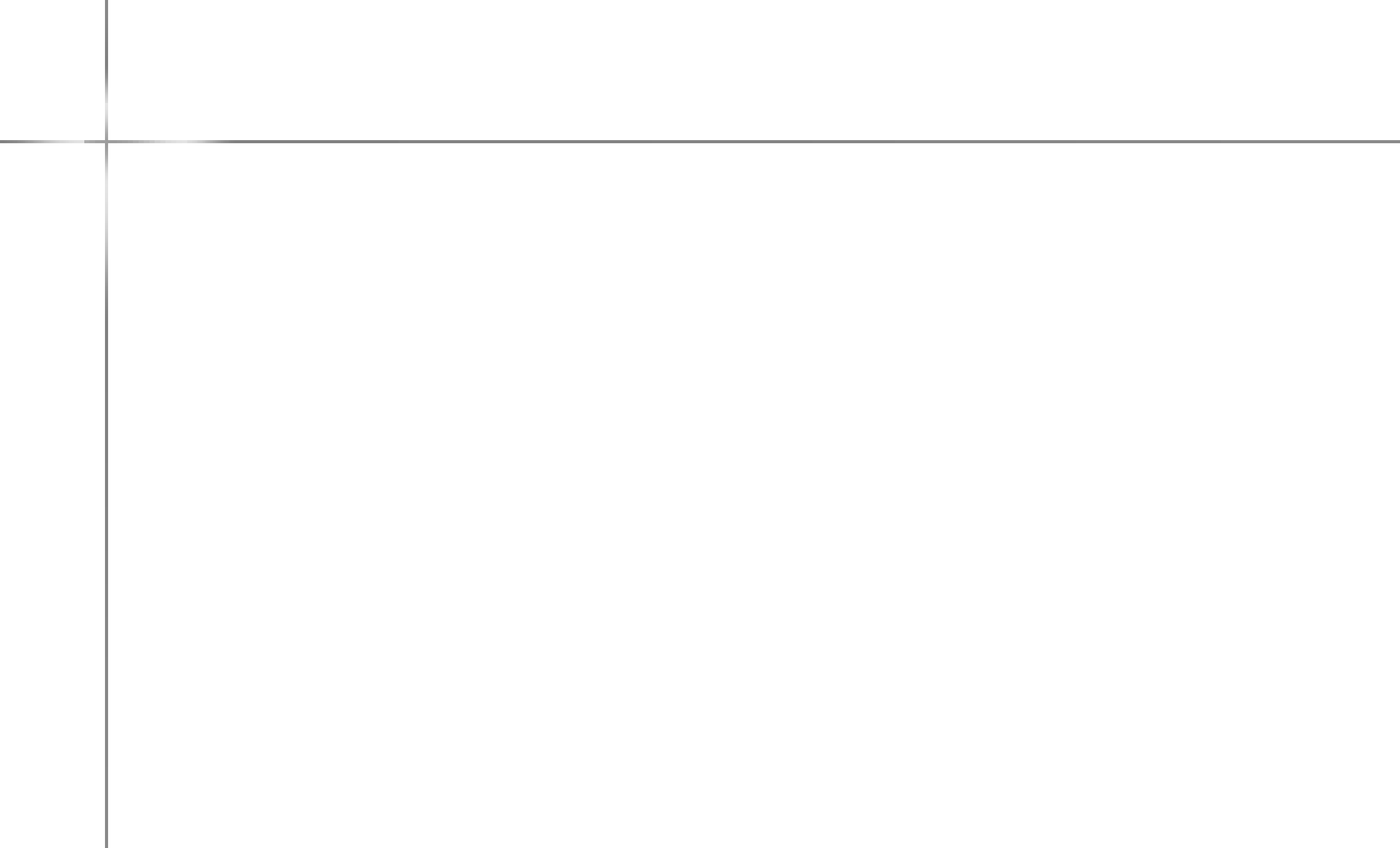
Зачем нужны двухтактные триггеры? Во-первых, они имеют высокую помехоустойчивость, а во-вторых, с помощью двухтактного D – триггера можно задержать сигнал на время равное периоду синхронизации

(в однотактных - только на время паузы).

***23***

https://[www.electronics-tutorials.ws/sequential/seq\_2.html](http://www.electronics-tutorials.ws/sequential/seq_2.html)

https://helpiks.org/6-52763.html



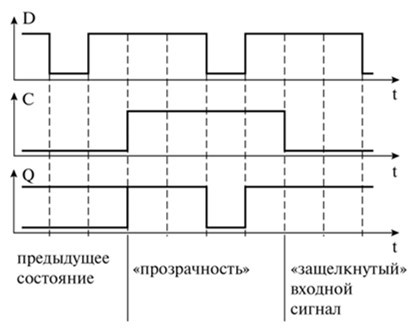
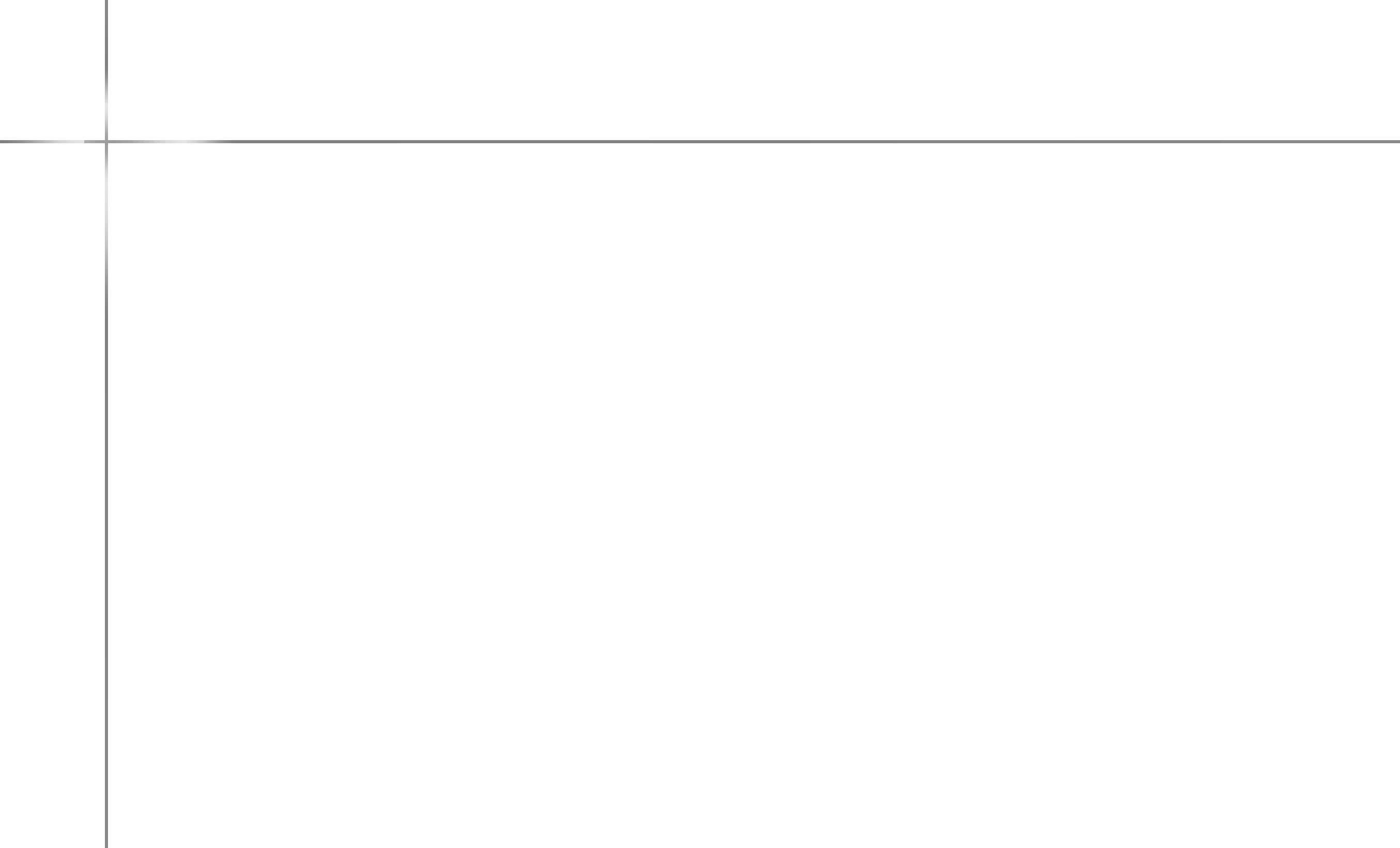
D-триггер и T-триггер

D-триггер – простейший элемент памяти (1 bit)

**!**!

Синхронный двухтактный Т-триггер

***24***

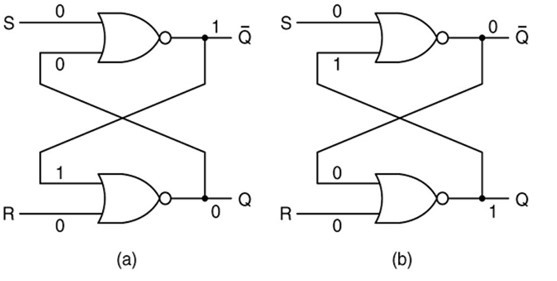
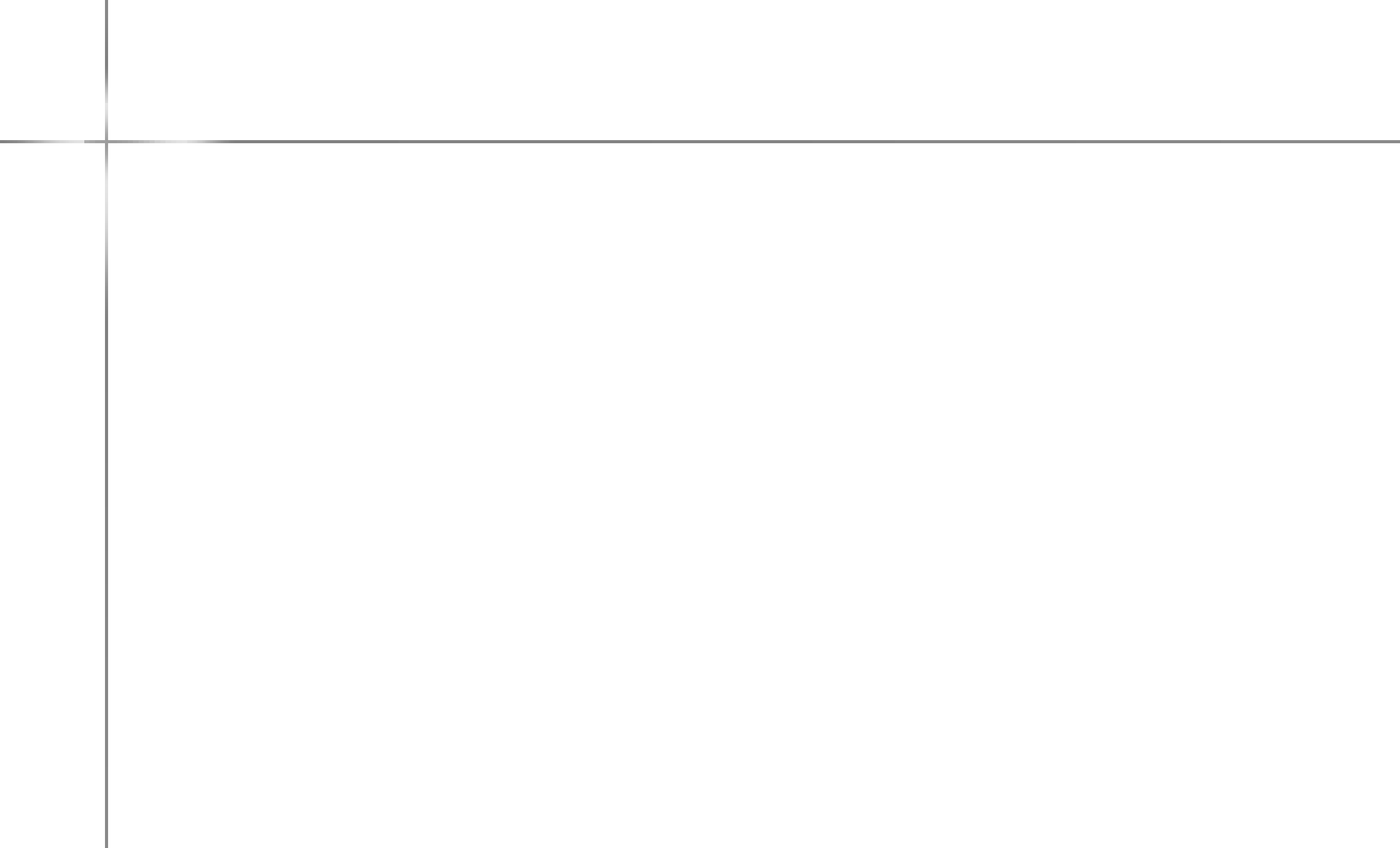


Основные логические блоки

По этой временной диаграмме видно, что триггер-защелка хранит данные на выходе только при нулевом уровне на входе синхронизации. Если же на вход синхронизации подать активный высокий уровень, то напряжение на выходе триггера будет повторять напряжение, подаваемое на вход этого триггера. Входное напряжение запоминается только в момент изменения уровня напряжения

на входе синхронизации С с высокого уровня на низкий уровень. Входные данные как бы ***25***

«защелкиваются» в этот момент, отсюда и название — «триггер-защелка».



Latches - Защёлки

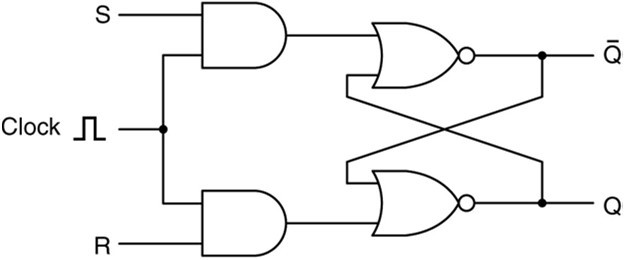
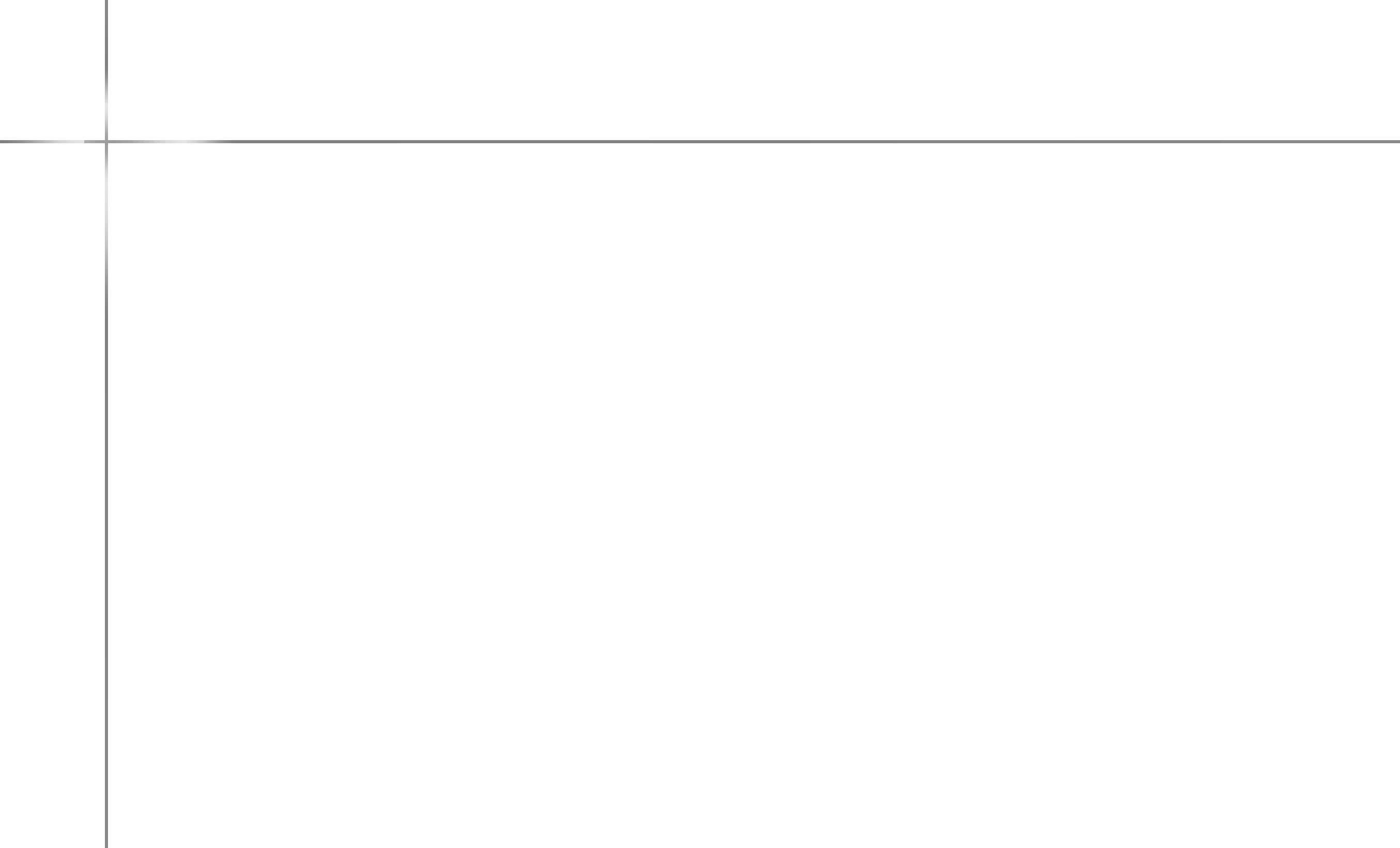
При R=S=0 два стабильных состояния:

1. Защёлка ИЛИ-НЕ (NOR) в состоянии 0.
2. Защёлка ИЛИ-НЕ (NOR) в состоянии 1.

R=S=1 – запрещено в следствие неопределённости при возврате к R=S=0.

***Слайд*** 26

# 25 26

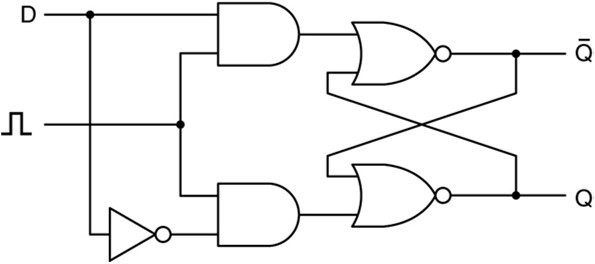
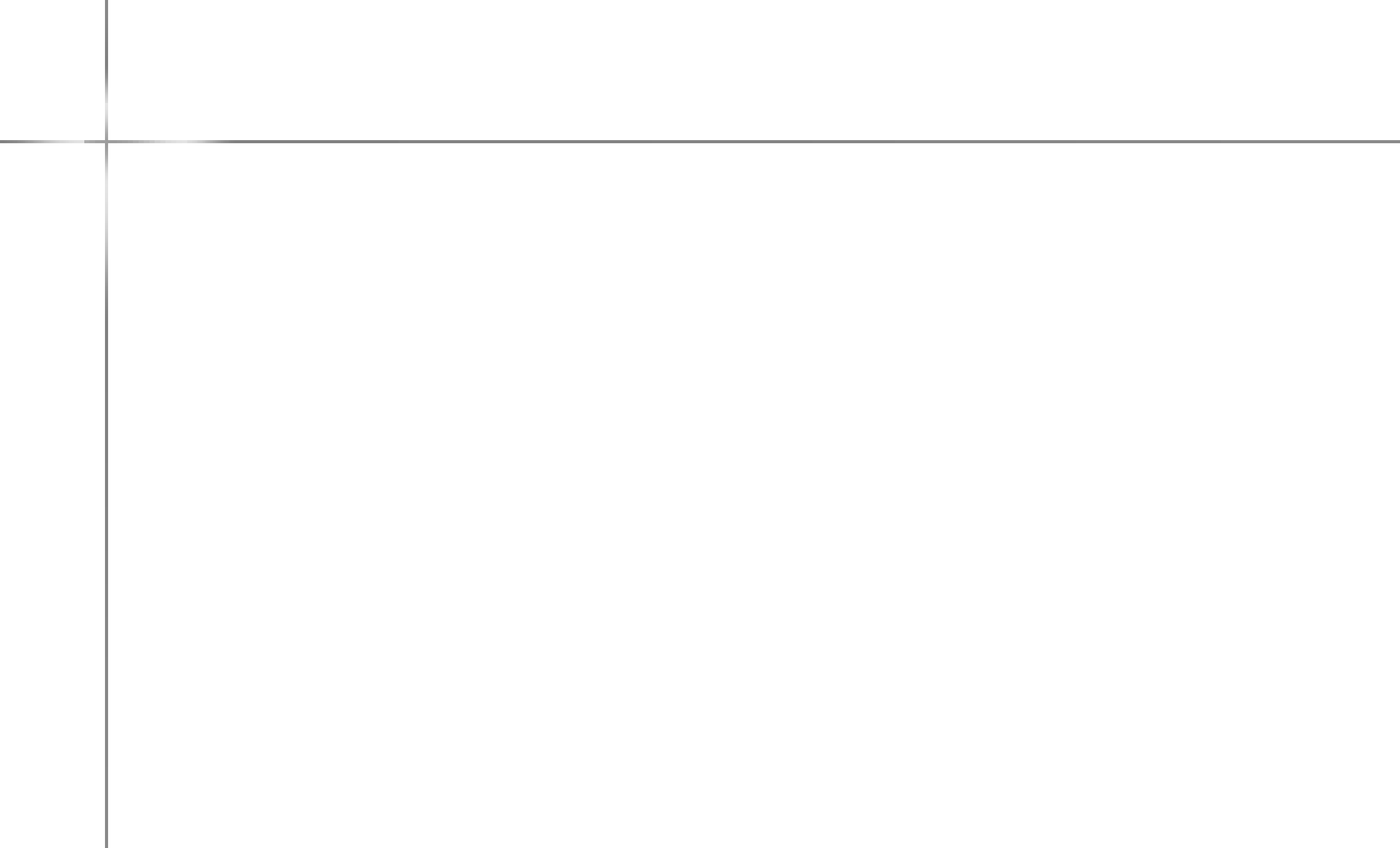


Latches - Защёлки

Синхронные RS-защёлки.

A clocked SR latch.

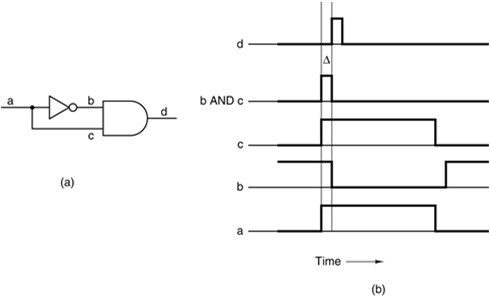
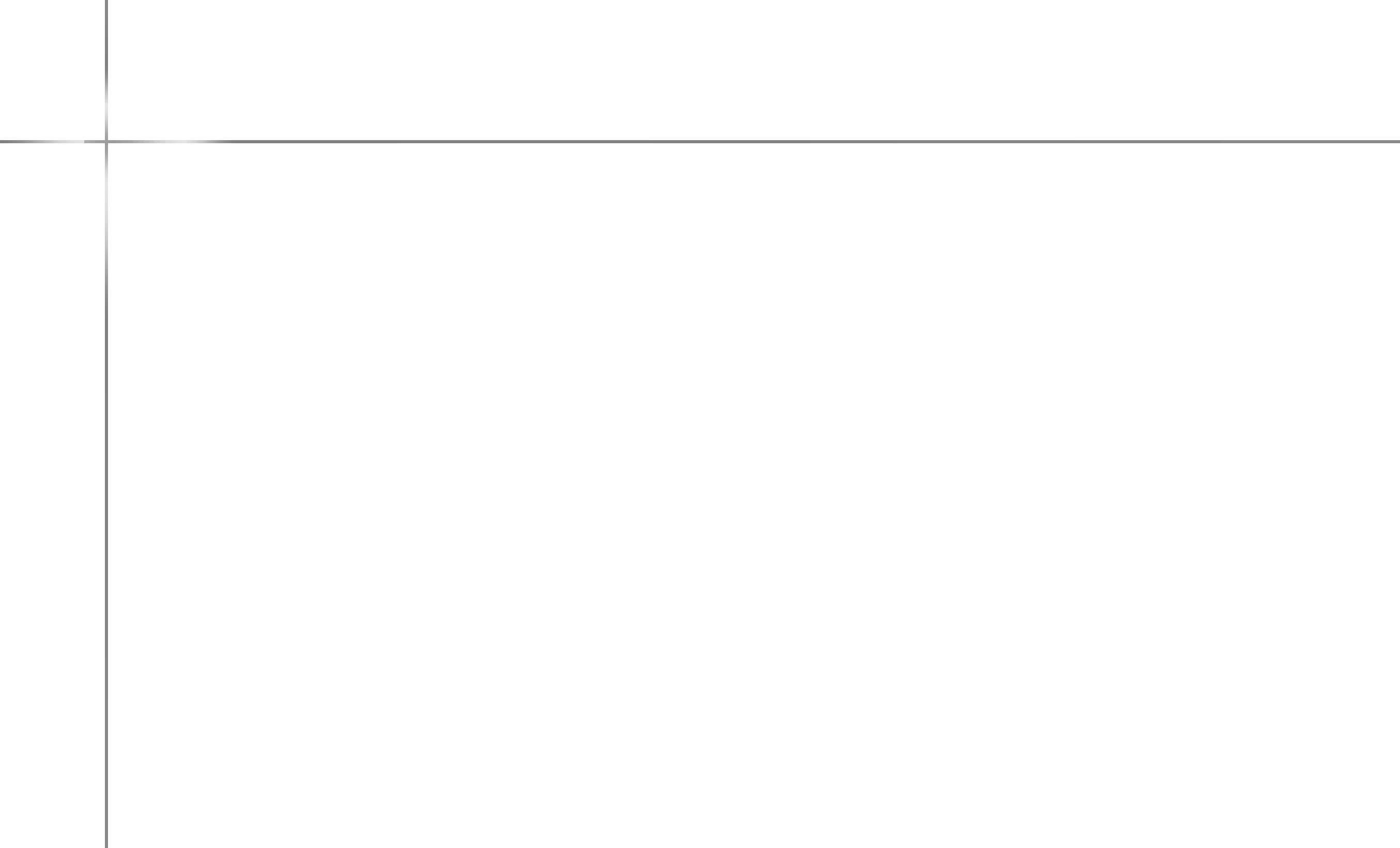
***Слайд*** 27



Latches - Защёлки

Синхронная D защёлка - A clocked D latch. (Используется 11 транзисторов).

***Слайд*** 28

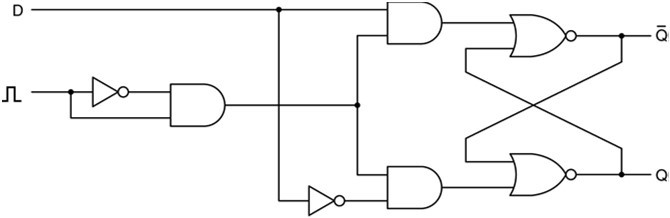
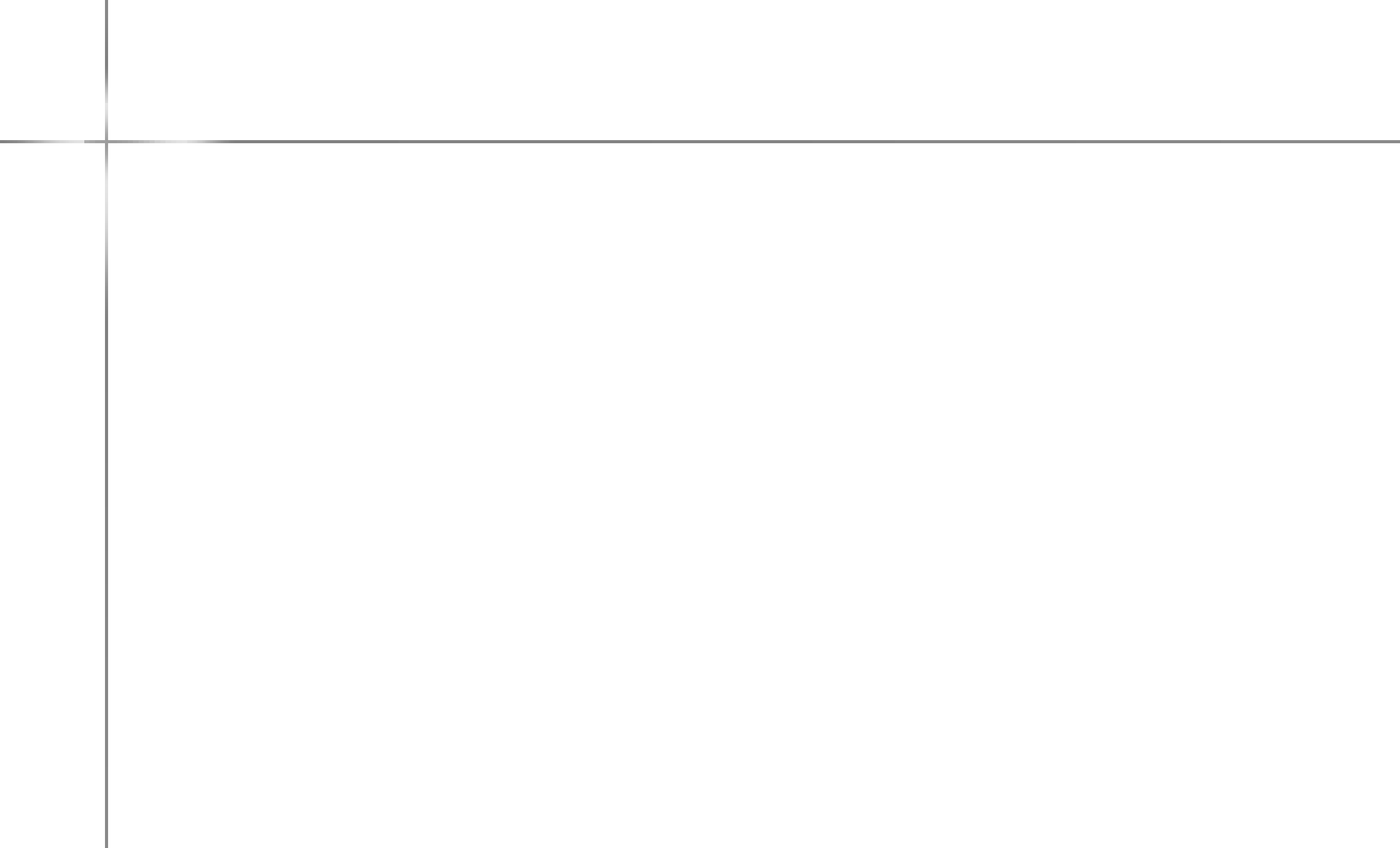


Flip-Flops - Триггеры **!**!

*Защёлкизапускаютсяуровнемсигнала,триггеры– фронтом!*

1. A pulse generator.
2. Timing at four points in the circuit.

***Слайд*** 29



Flip-Flops

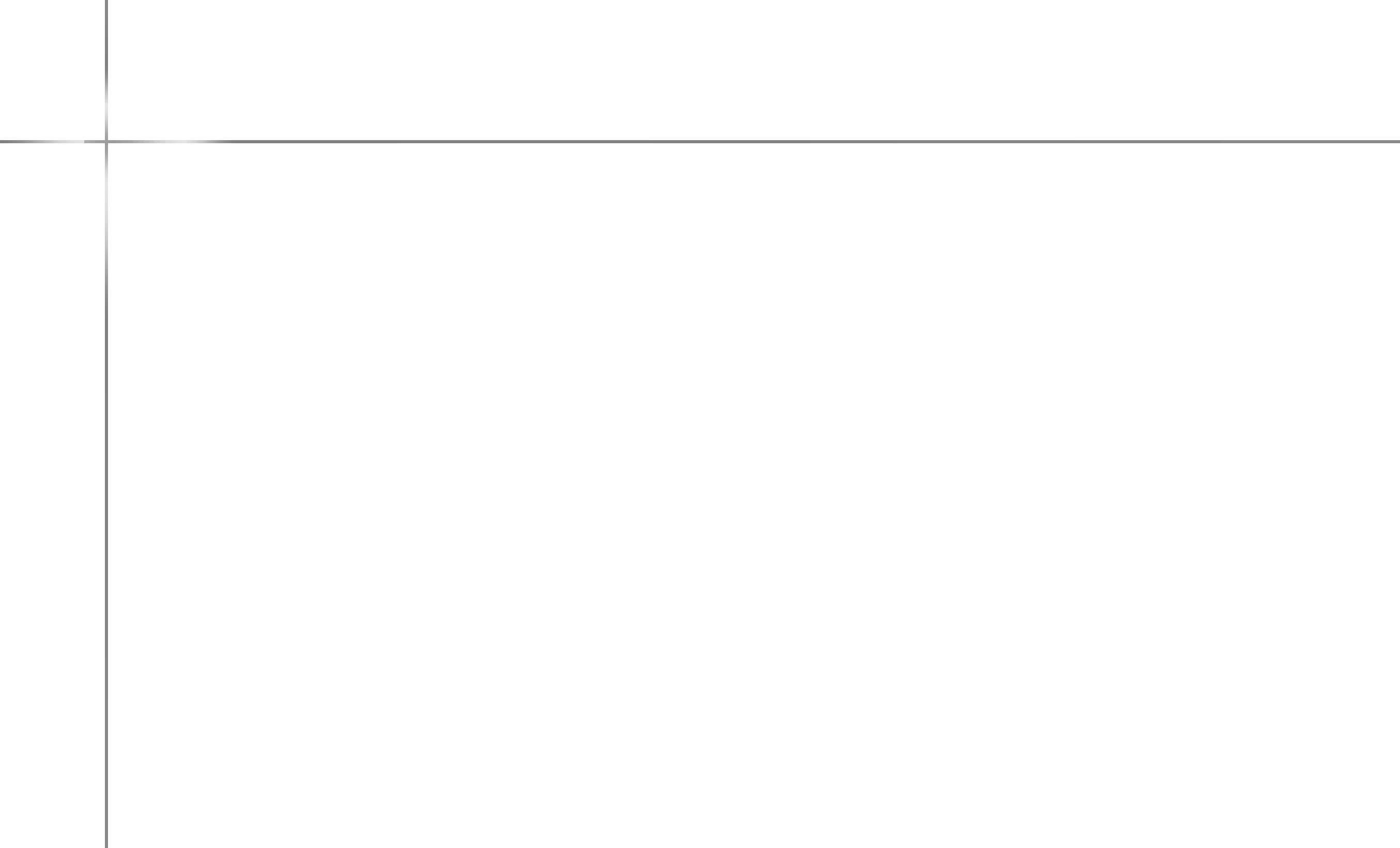
**!**!

A D flip-flop.

D- триггер (на практике используются более сложные схемы).

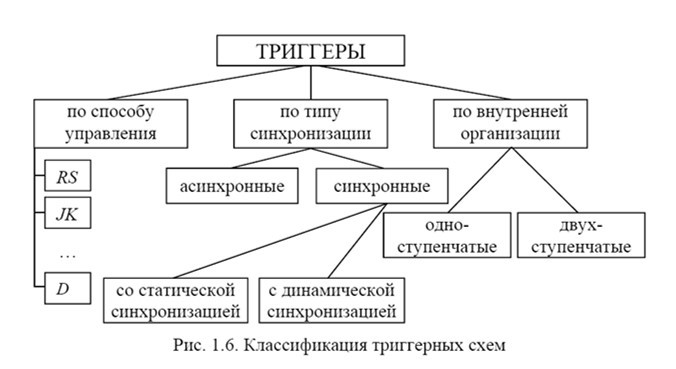
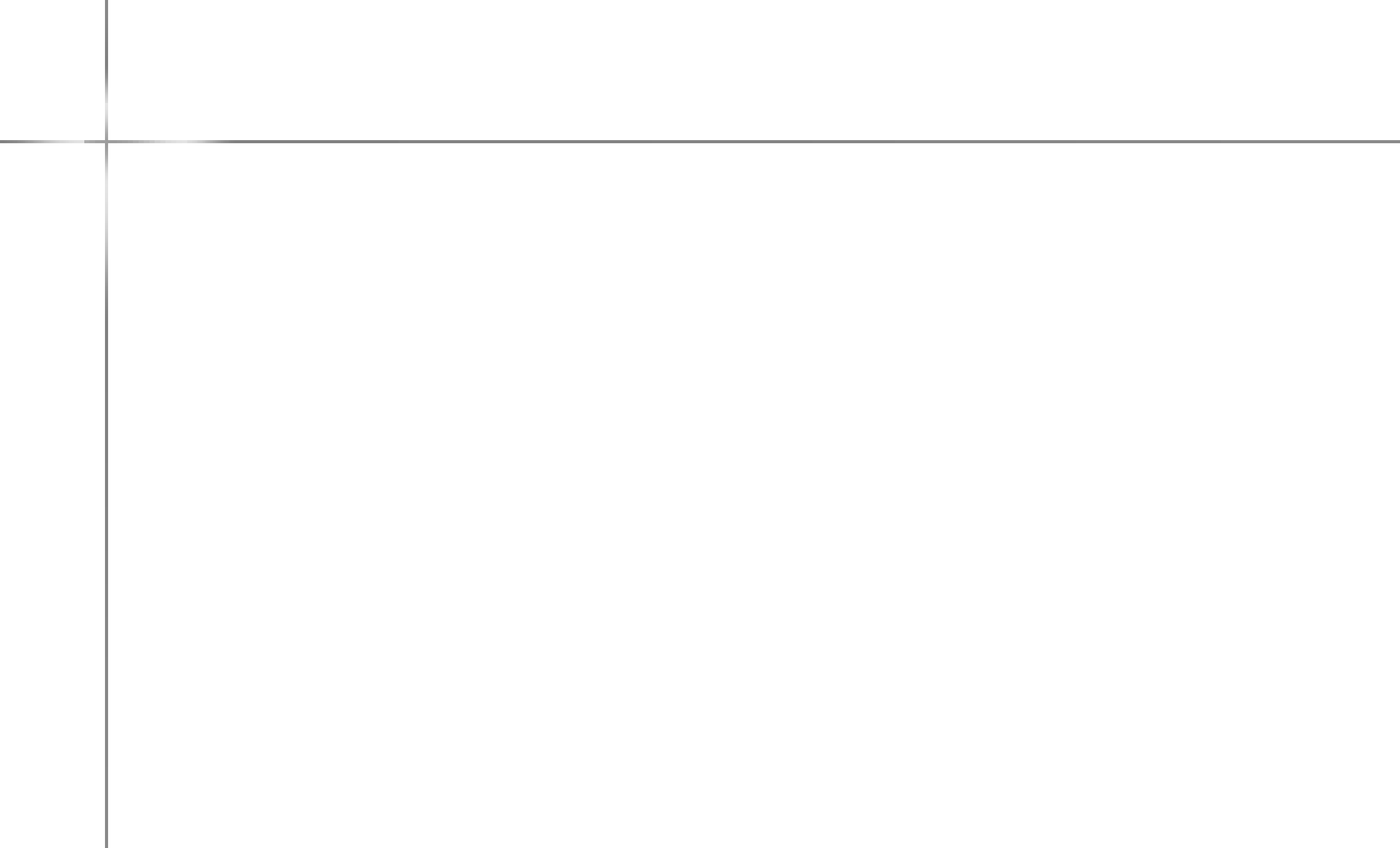
***Слайд*** 30

# 29 30



Временная диаграмма сигналов !**!**

***Слайд*** 31



Классификация триггеров

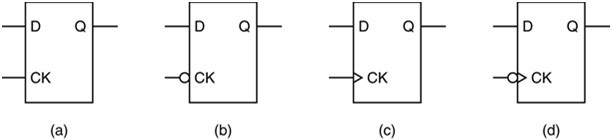
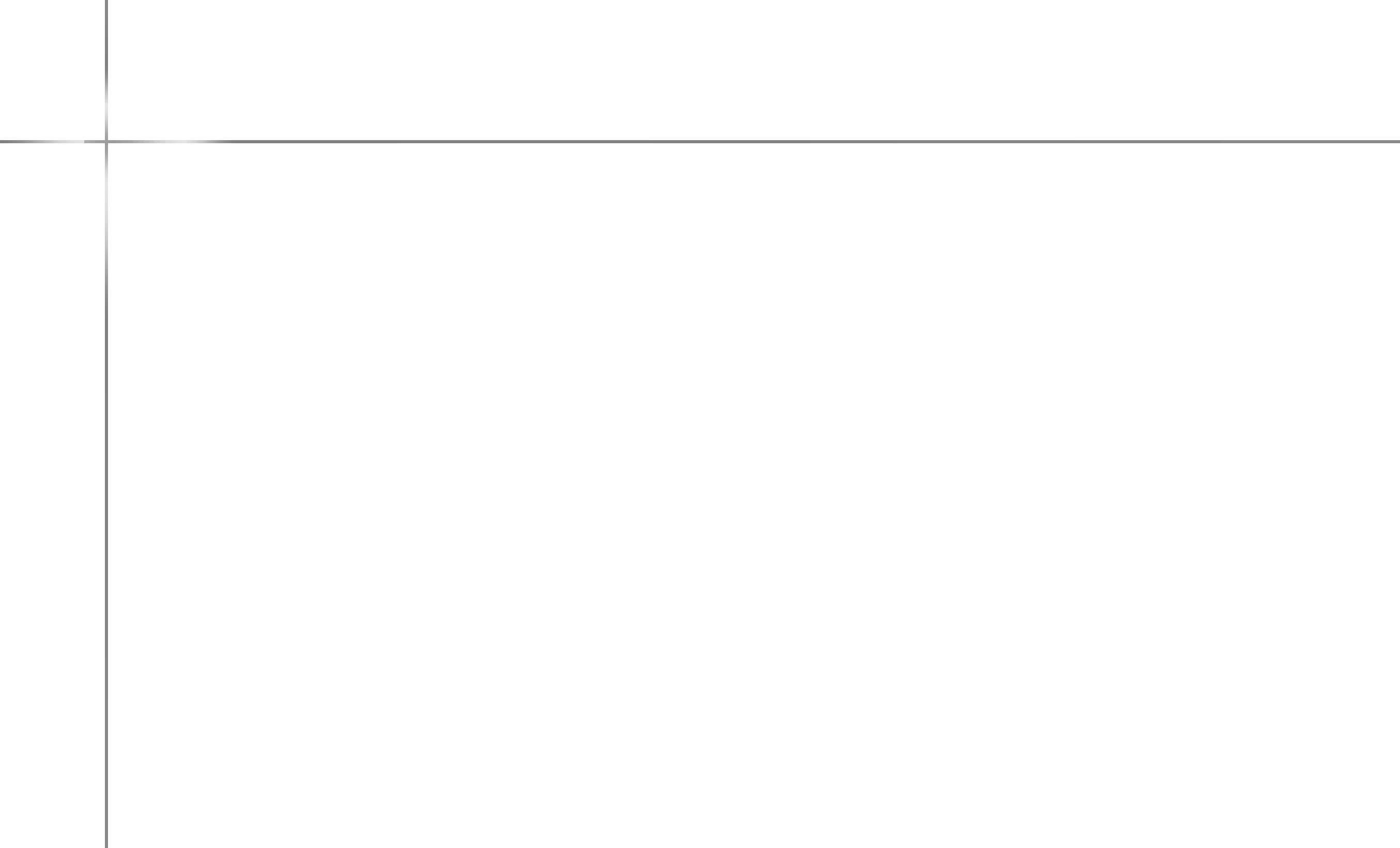
**!**!

***32***

Цифровая схемотехника и архитектура компьютера, второе издание Дэвид М. Хэррис и Сара Л. Хэррис

1. Арифметико-логические основы цифровых вычислительных машин

и архитектура компьютеров : конспект лекций по одноименной дисциплине для студентов IT-специальностей / А. С. Кобайло. – Минск : БГТУ, 2015. – 112 с.



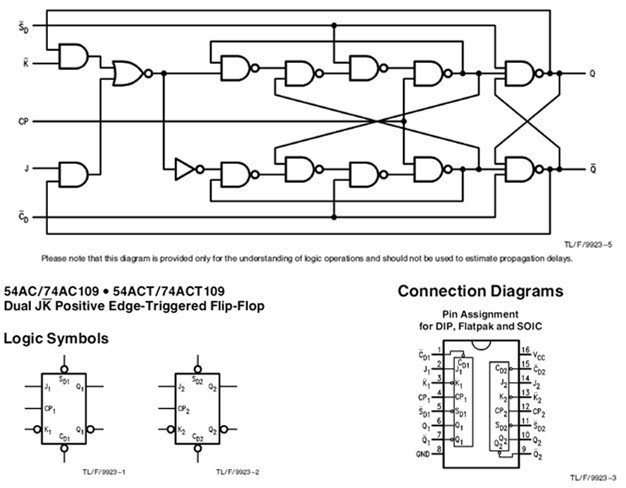
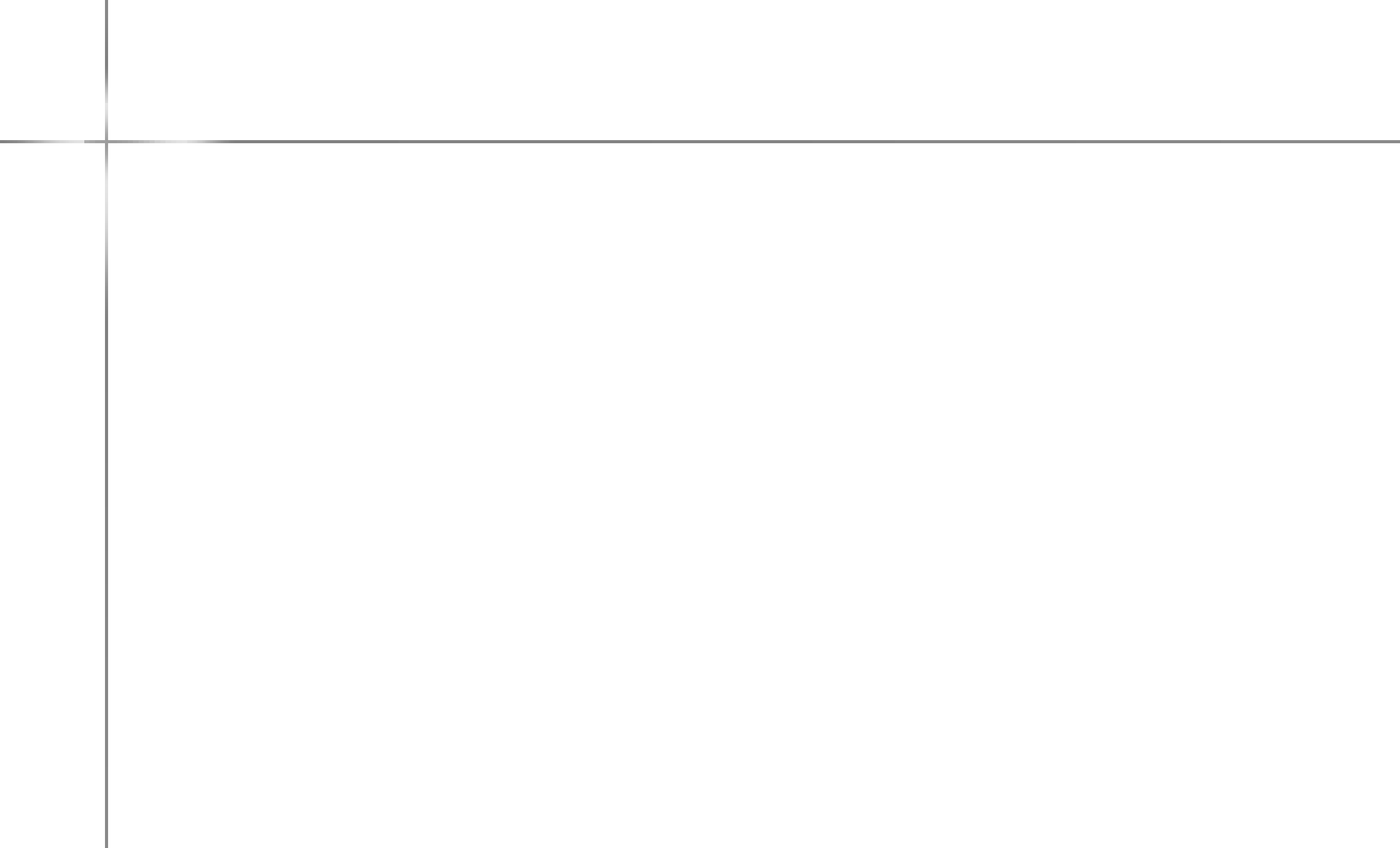
Flip-Flops

D latches and flip-flops. D – защёлки (а,b) и триггеры (c,d).

Триггер (с) меняет состояние на возрастающем фронте (с 0 на 1), а

(d) – на заднем фронте (с 1 на 0). У многих схем есть #Q, *Set* ***Слайд*** 33

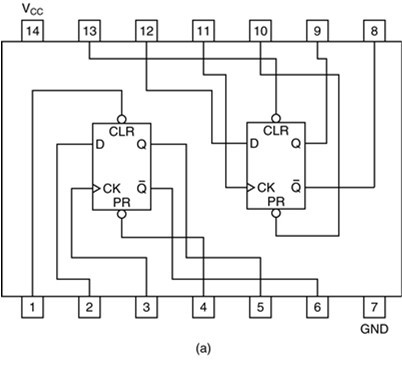
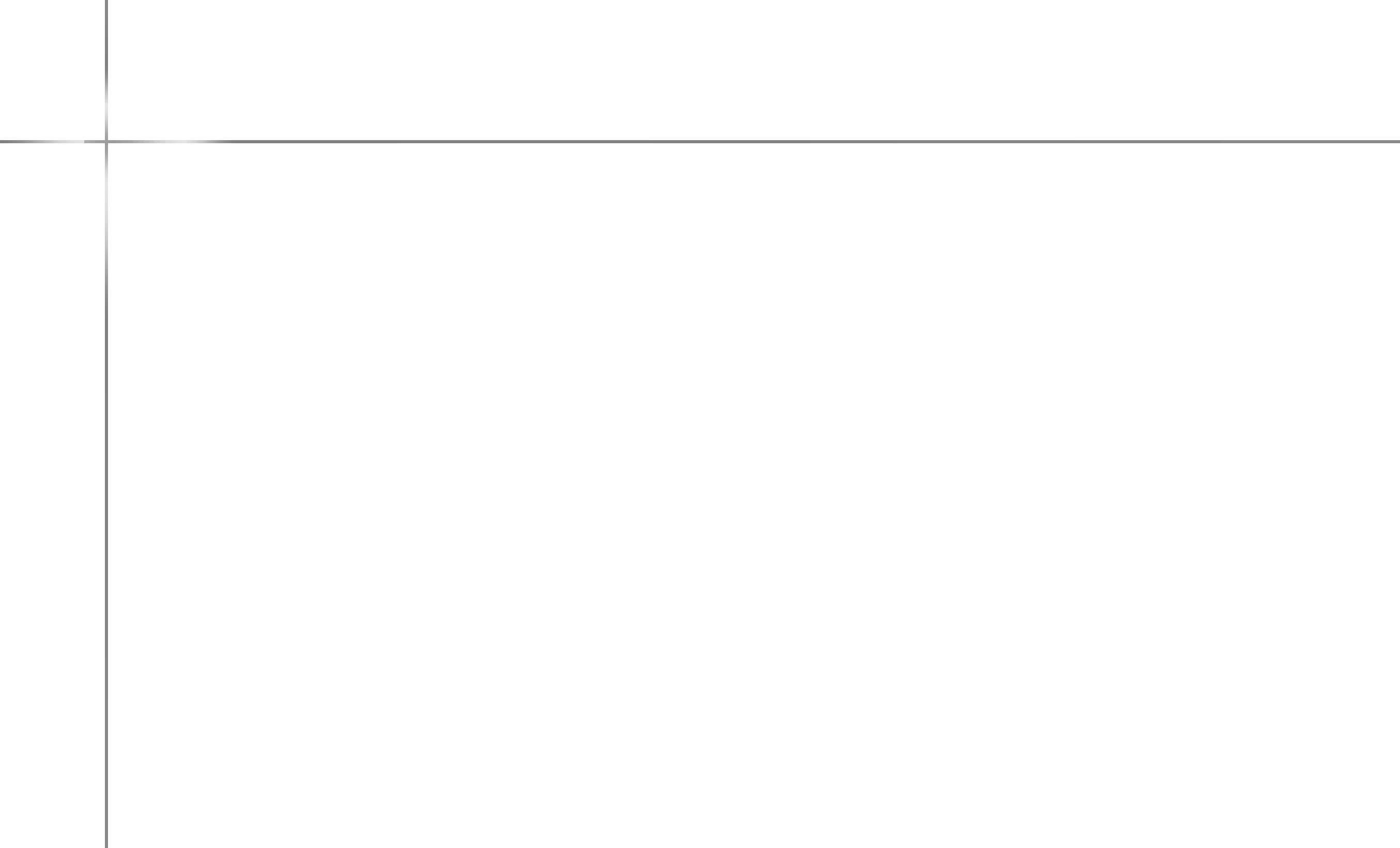
*(Preset)*-> Q=1, *Reset(Clear)*-> Q=0



Реальные схемы триггеров

***Слайд*** 34

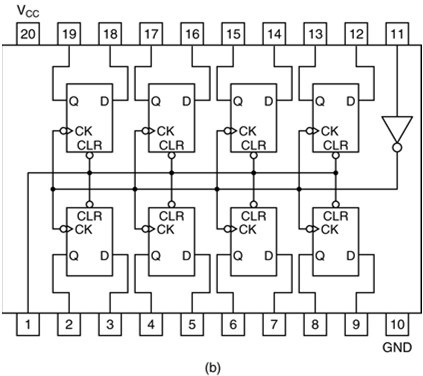
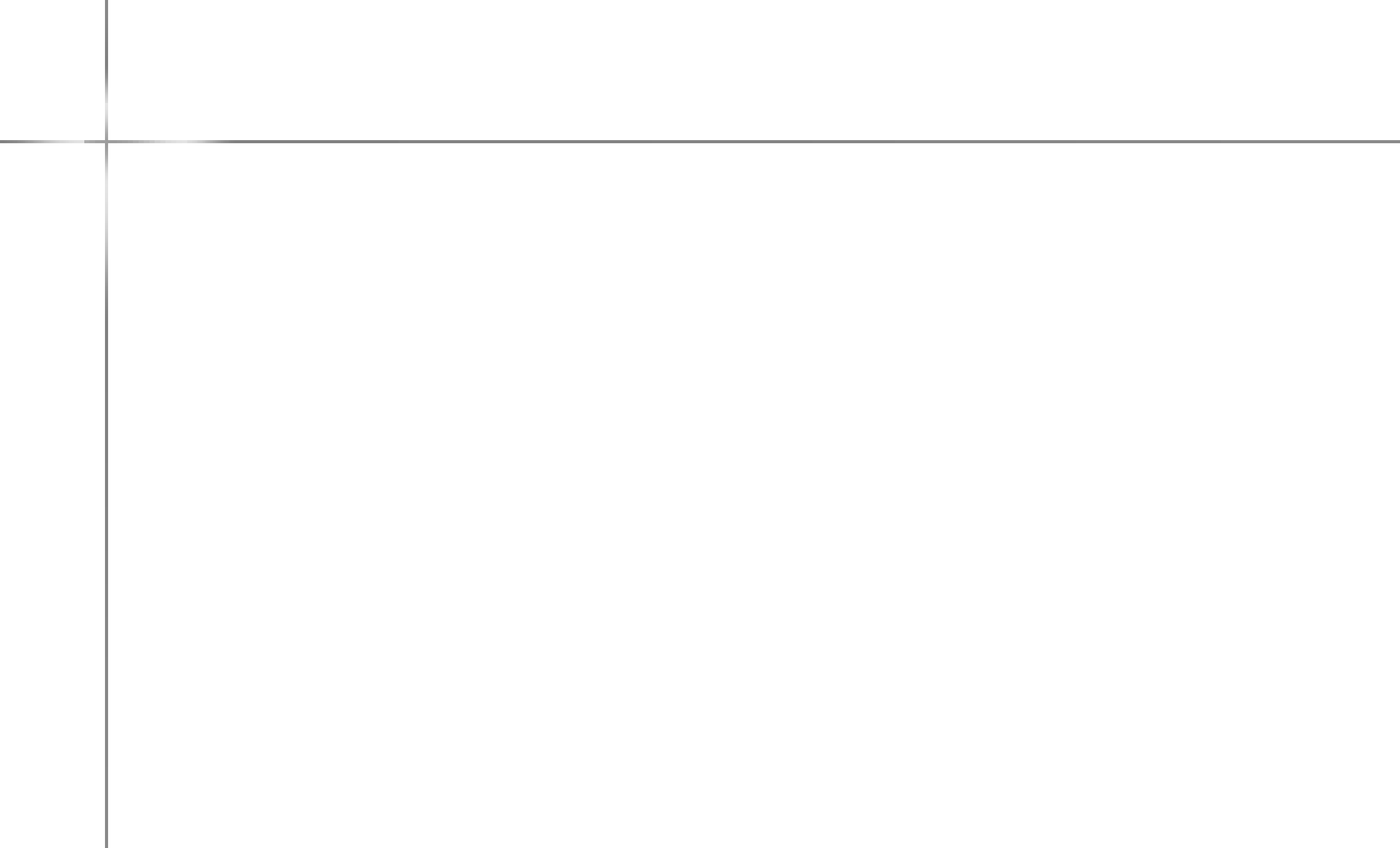
# 33 34



Flip-Flops

Два независимых D-триггера на одной микросхеме (Dual D flip-flop).

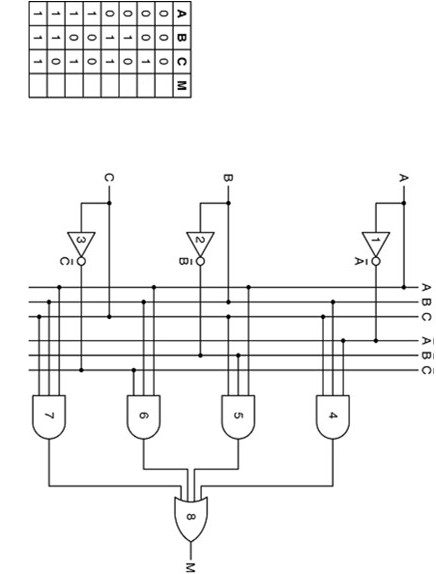
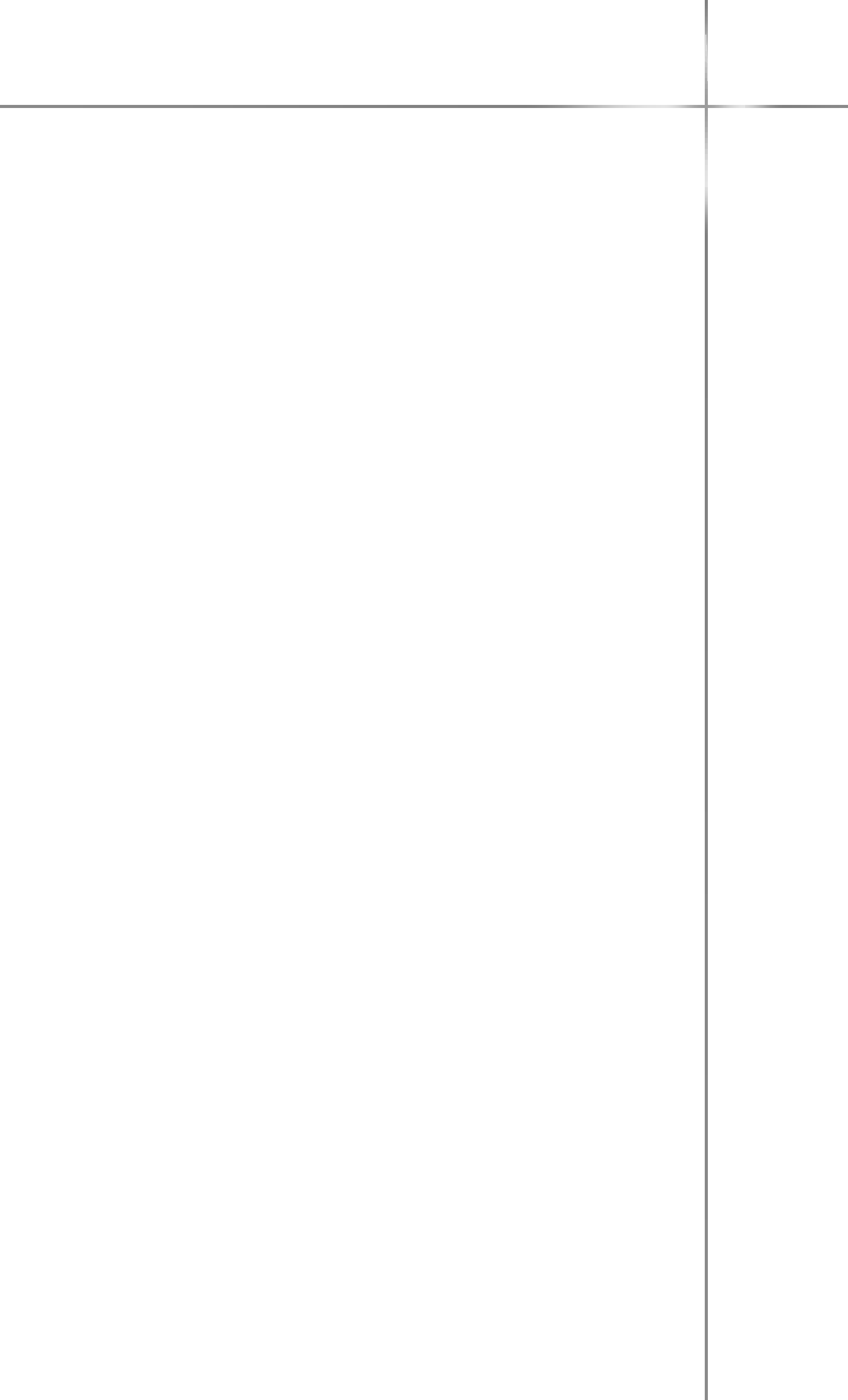
***Слайд*** 35



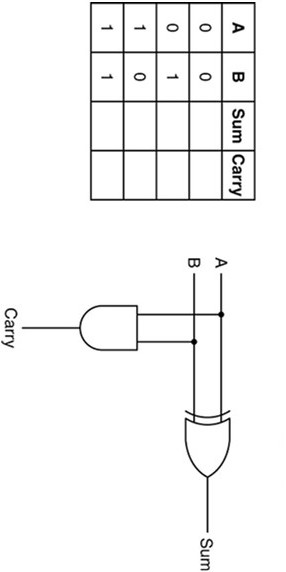
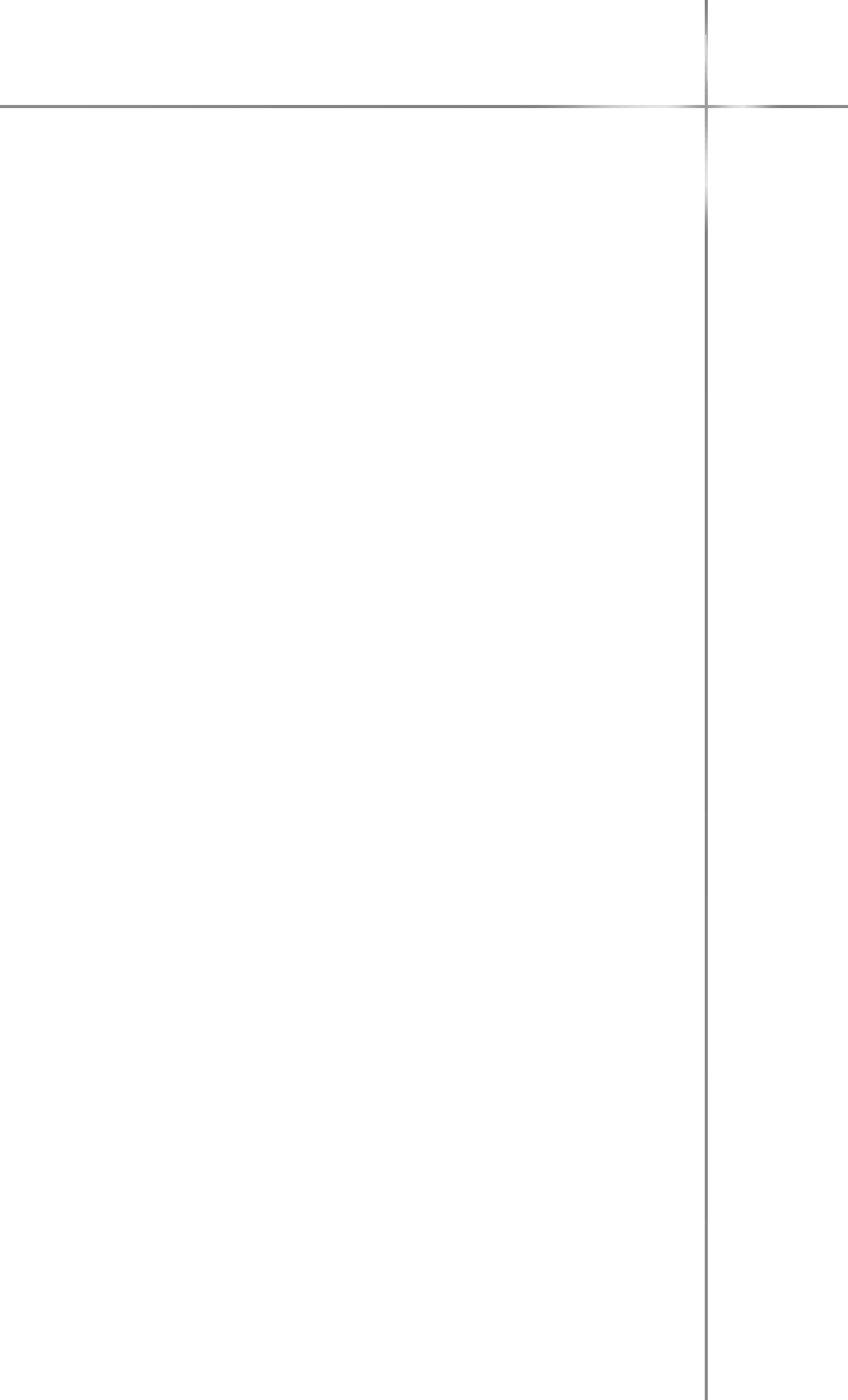
Flip-Flops

Восьмиразрядный триггер (Octal flip-flop) – в качестве восьмиразрядного регистра.

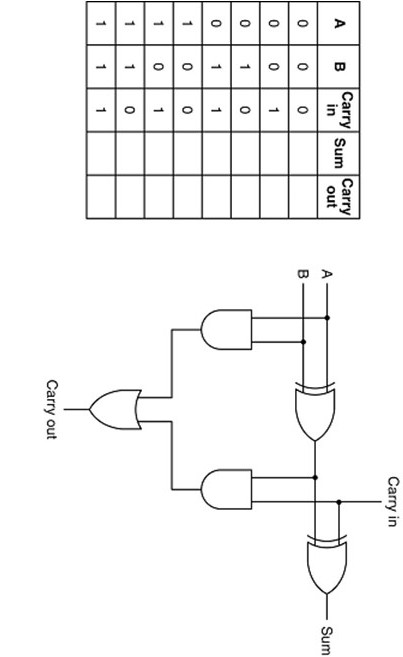
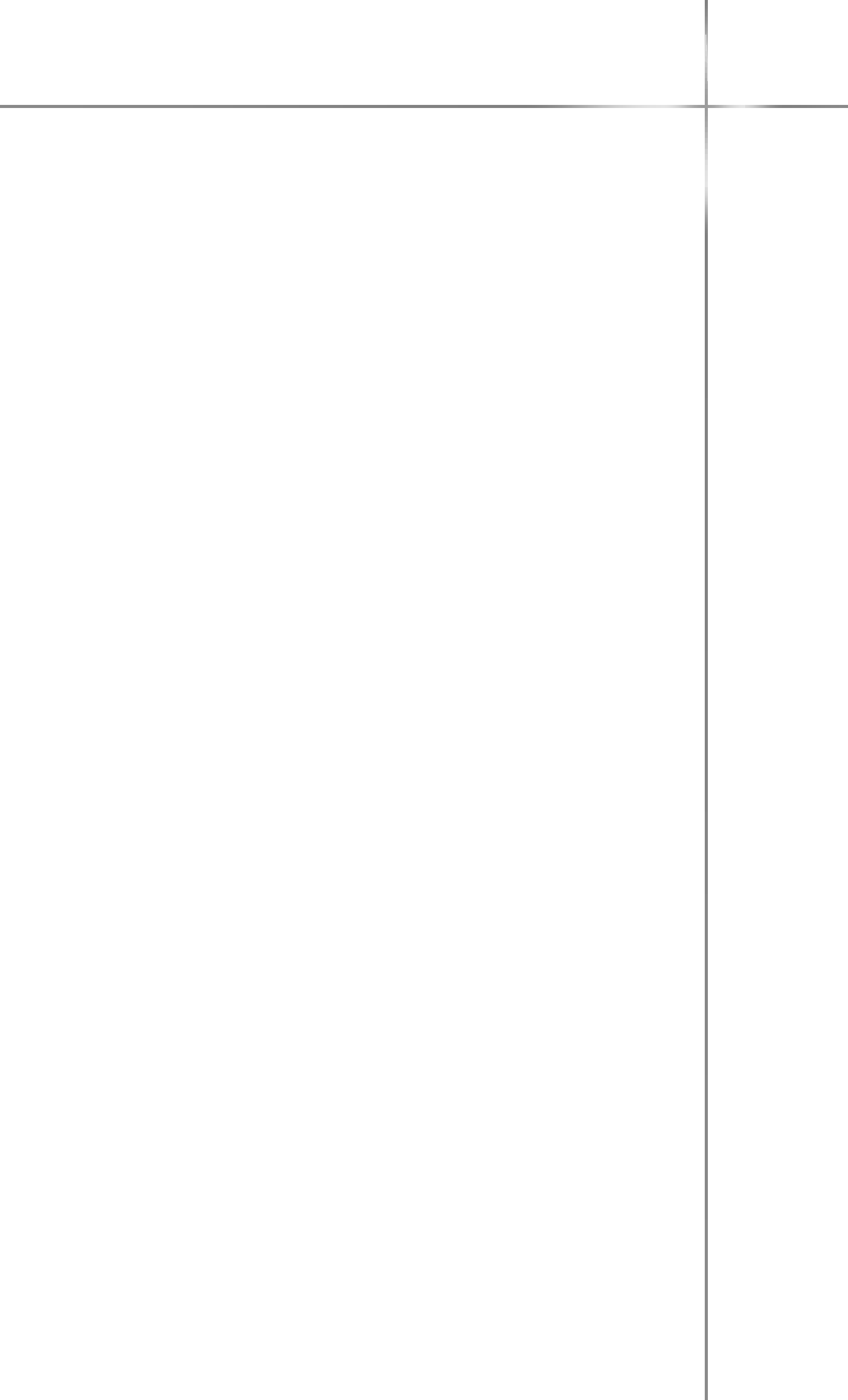
***Слайд*** 36



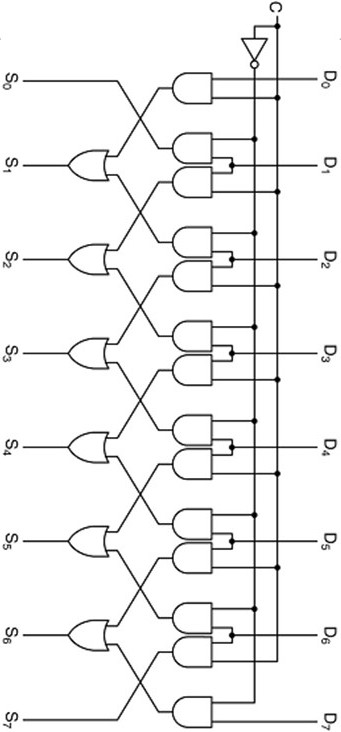
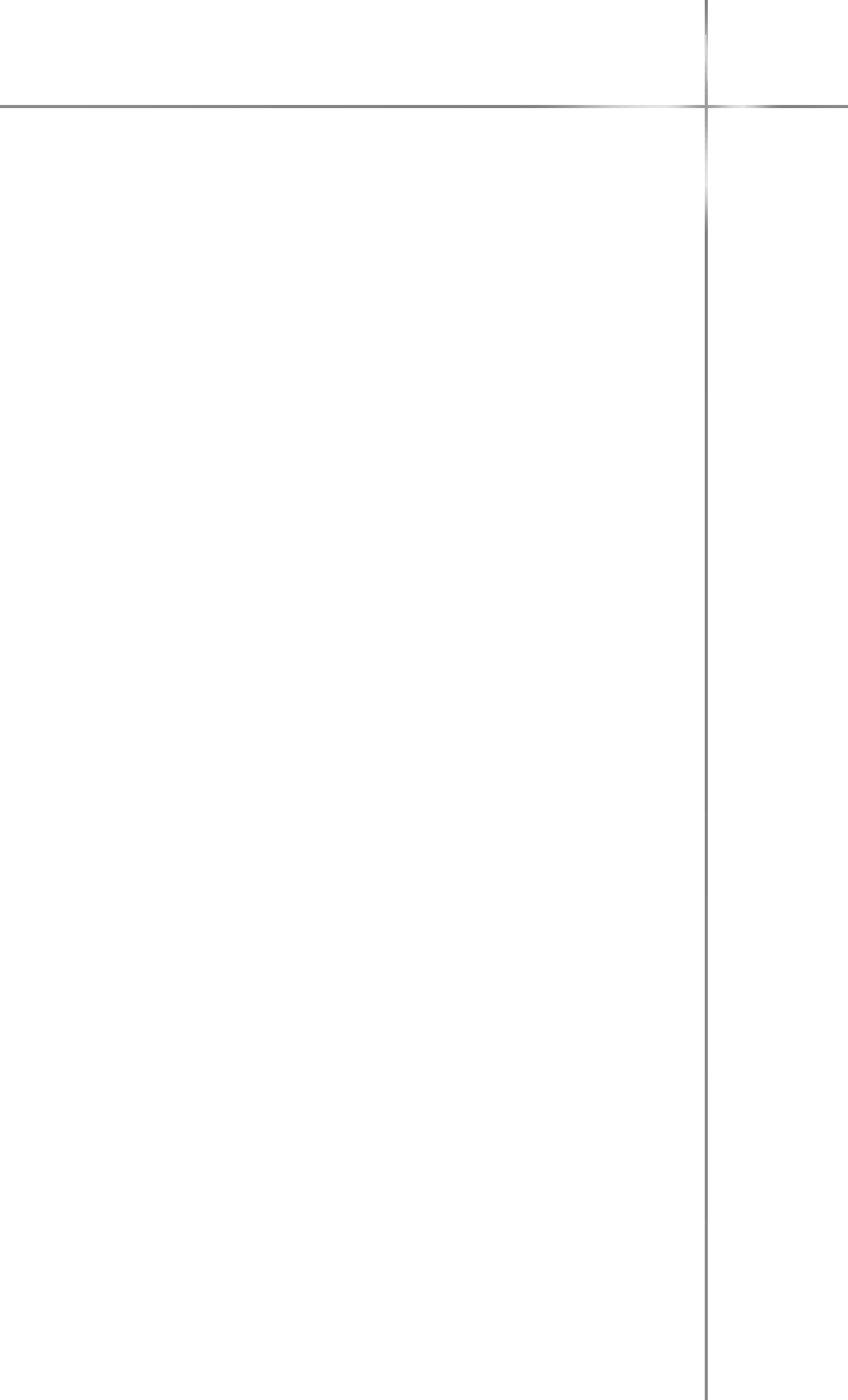
Э. Танненбаум, Архитектура компьютера, 4-е изд., 2006 г.



Э. Танненбаум, Архитектура компьютера, 4-е изд., 2006 г.



Э. Танненбаум, Архитектура компьютера, 4-е изд., 2006 г.



Э. Танненбаум, Архитектура компьютера, 4-е изд., 2006 г.

Комбинационная схема

Полусумматор

***37***

***38***

37

38

Полный сумматор

Схема сдвига

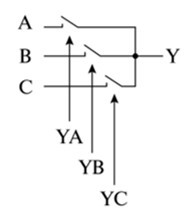
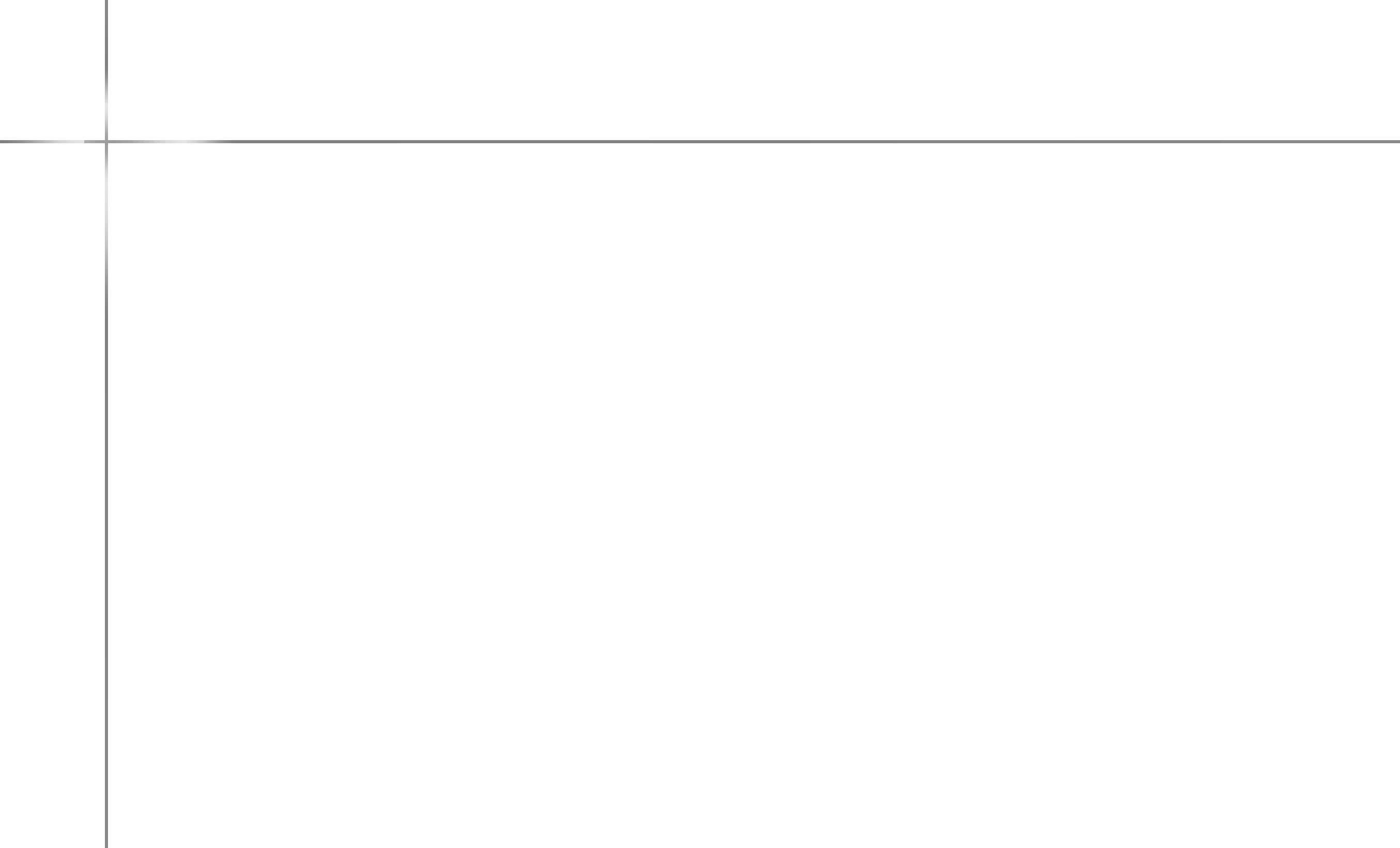
***39***

***40***

39

40

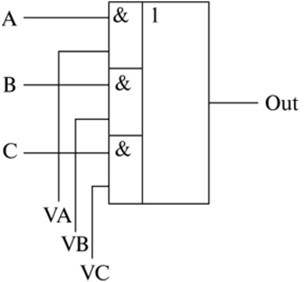
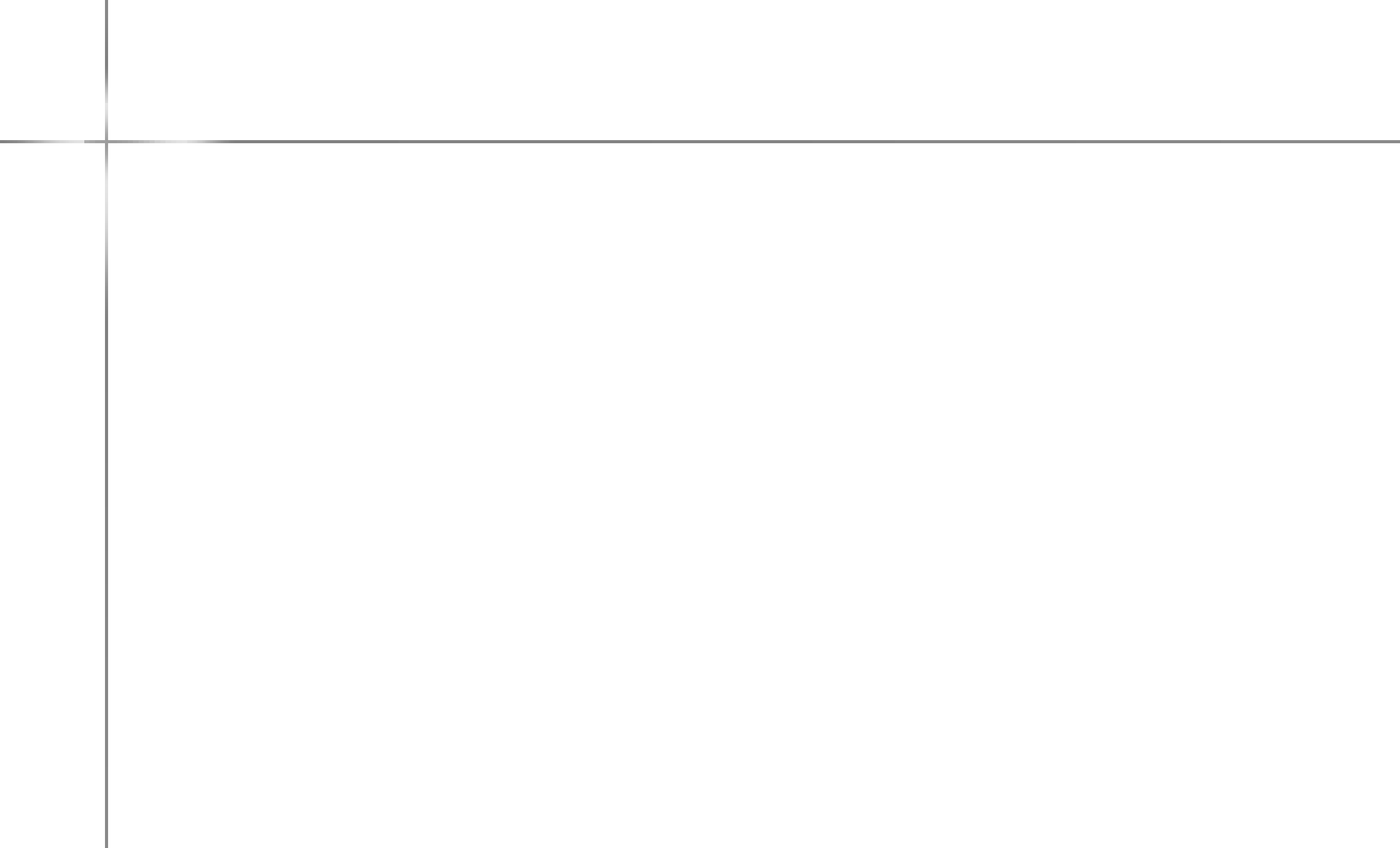
10



Мультиплексоры и шифраторы

Мультиплексоры и демультиплексоры. Мультиплексорами называются устройства, которые позволяют подключать несколько входов к одному выходу. Демультиплексорами называются устройства, которые позволяют подключать один вход к нескольким выходам. В простейшем случае такую коммутацию можно осуществить при помощи ключей.

***Слайд*** 41

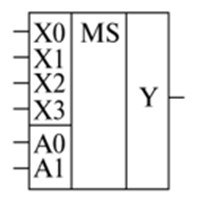
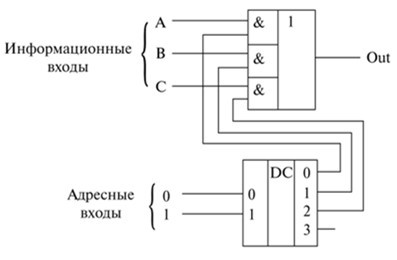
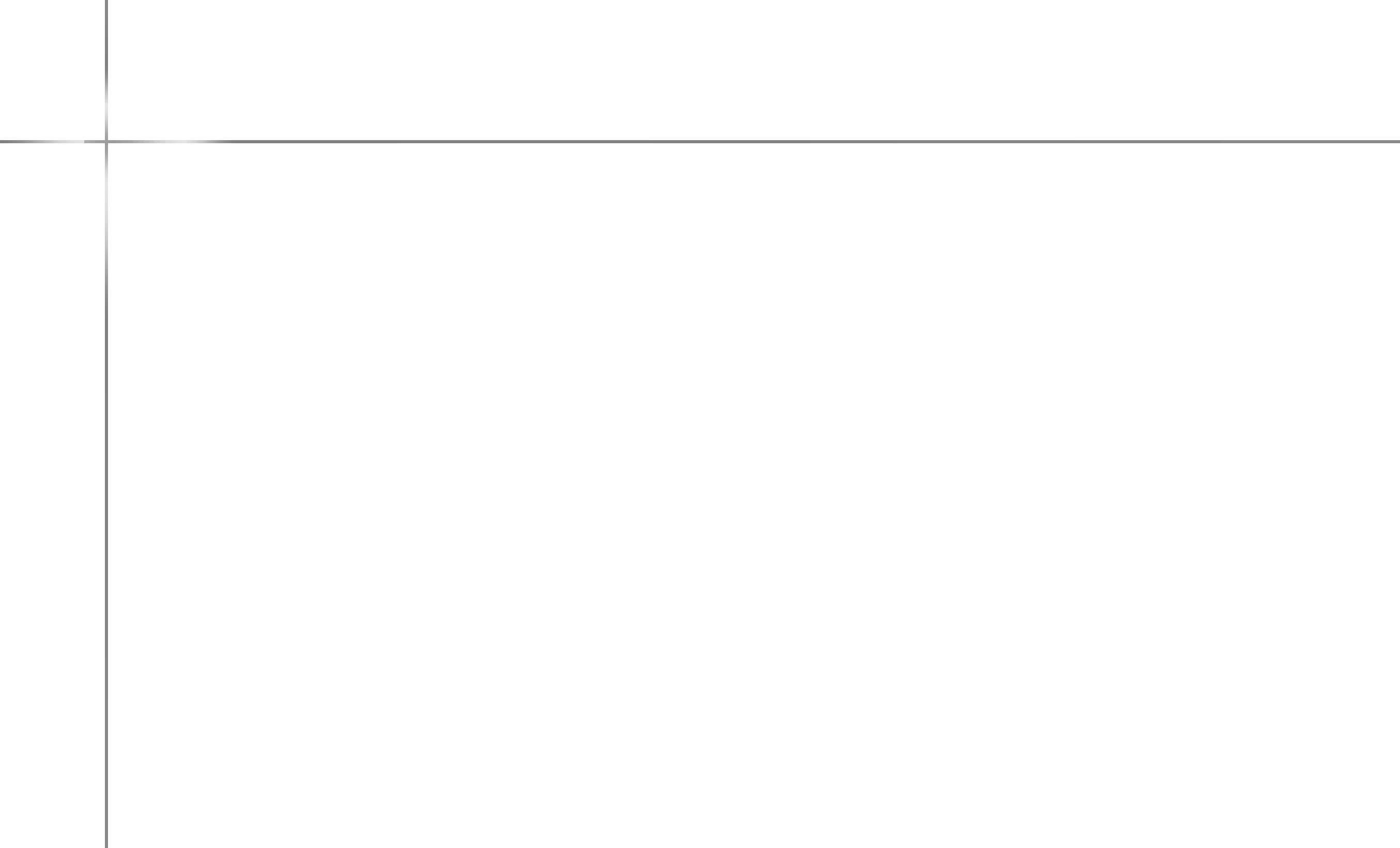


Мультиплексоры и шифраторы

Один из входов элемента будем рассматривать как информационный вход электронного ключа, а другой вход — как управляющий.

***Слайд*** 42

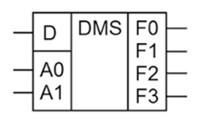
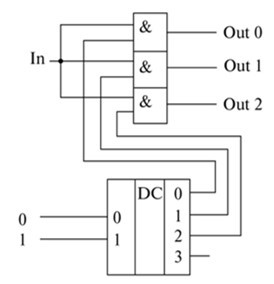
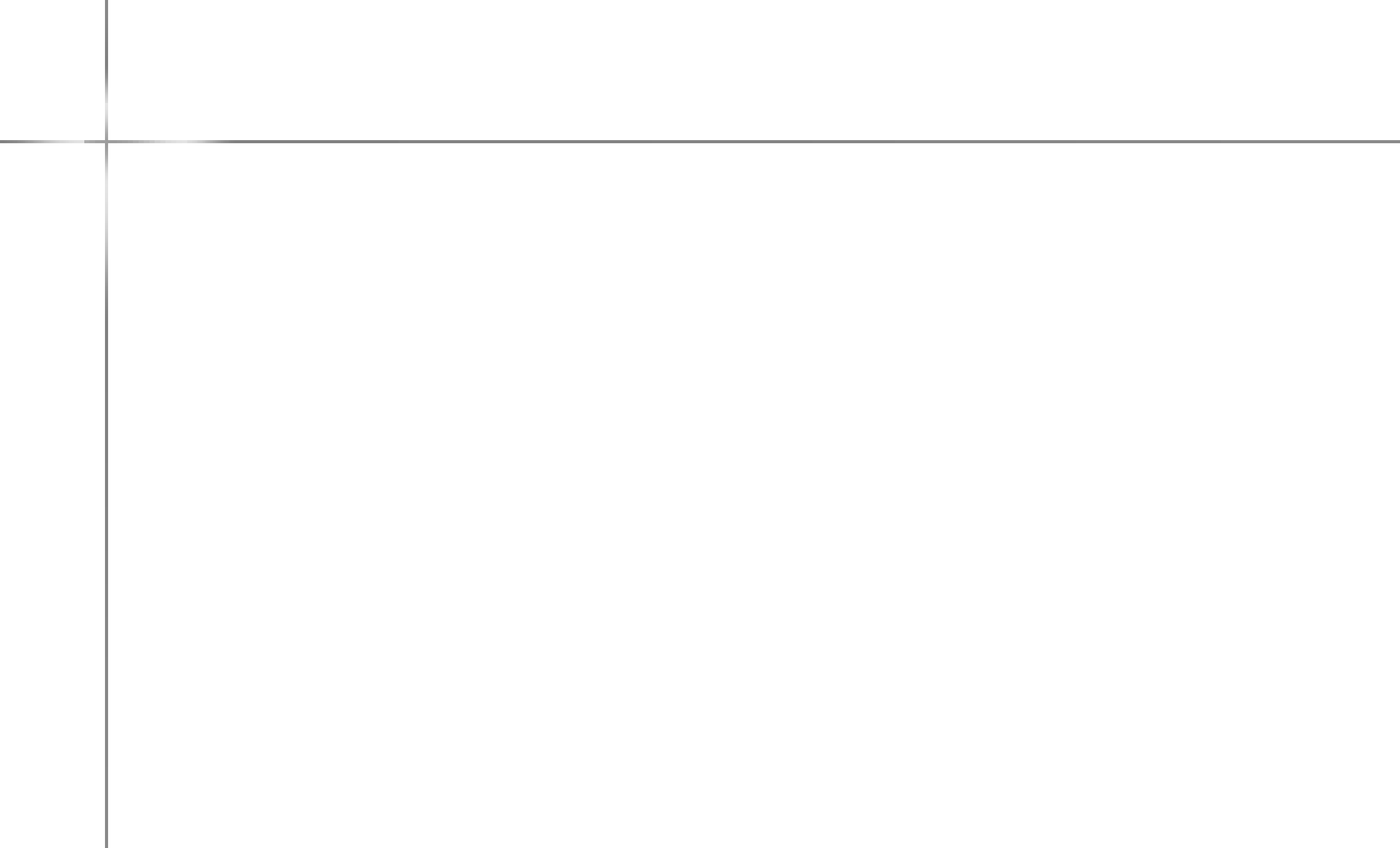
# 41 42



Мультиплексоры и шифраторы

Управление требует много входов, поэтому в состав мультиплексора включают дешифратор. Это позволяет управлять переключением входов микросхемы на выход при помощи двоичных кодов.

***Слайд*** 43



Мультиплексоры и шифраторы

Принципиальная схема демультиплексора, управляемого двоичным кодом

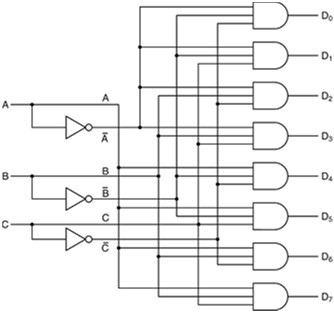
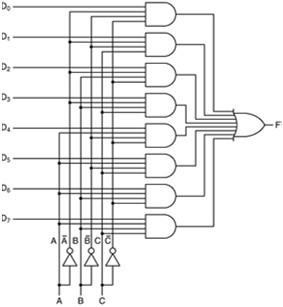
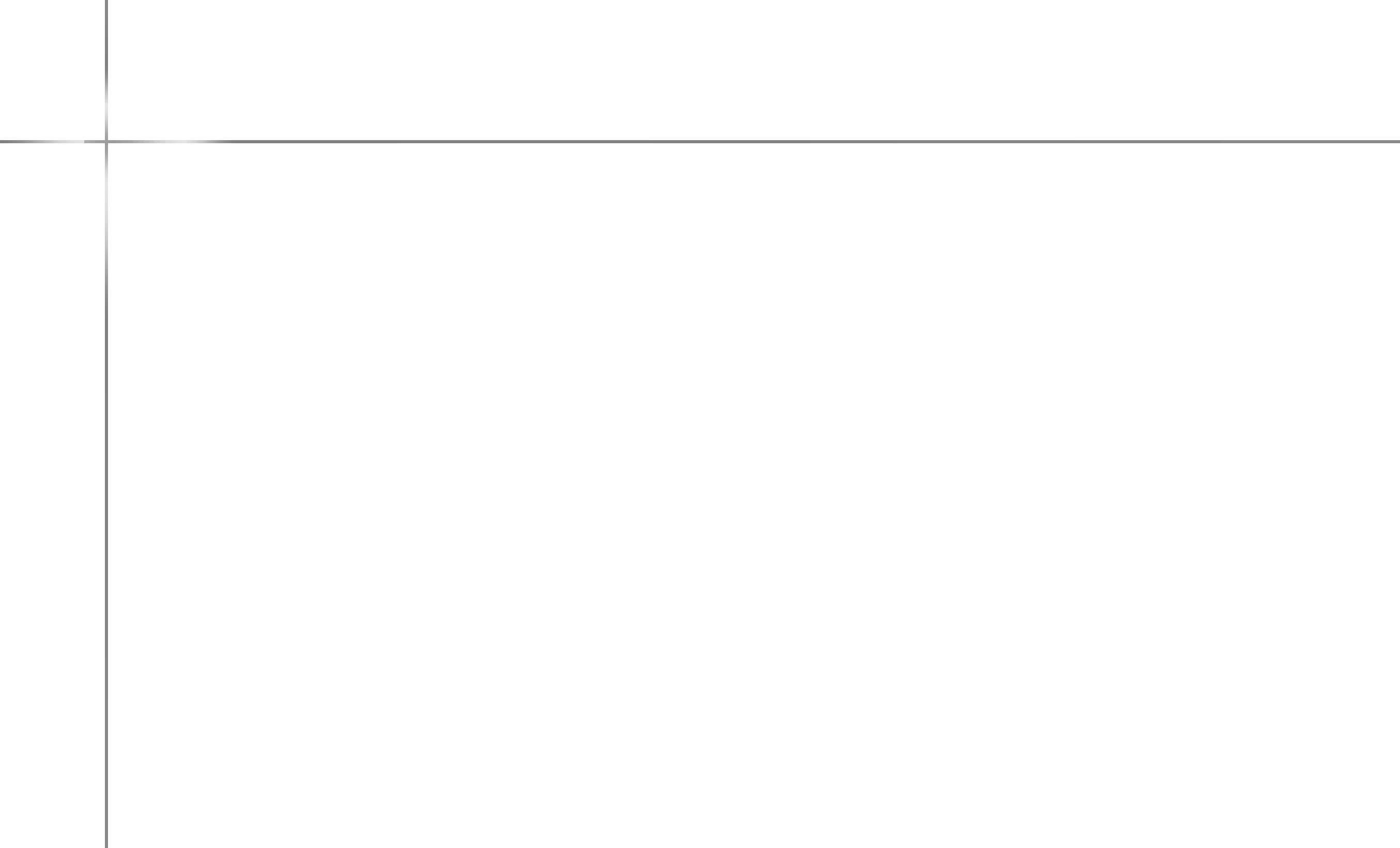
***Слайд*** 44

43 44



|  |  |
| --- | --- |
| Вопросы к лекции   1. Что такое временная диаграмма? 2. Критический и короткий пути схемы, в чём разница? 3. Почему в RS-триггере запрещёна комбинация | |
|  | входных сигналов – «11»? Что будет происходить  при этой комбинации в JK – триггере?   1. Каким образом на физическом уровне триггер   «хранит» информацию?   1. Как из MS D-триггера, получить асинхронный T- триггер? 2. Классификация триггеров и их обозначение – по обозначению триггера требуется определить его режим работы и восстановить таблицу истинности. 3. В чём принципиальная разница между трансляцией и   ***Слайд*** 46  интерпретацией. |

# 45 46



Мультиплексоры и шифраторы

***Слайд*** 45

Э. Танненбаум, Архитектура компьютера, 4-е изд., 2006 г.